

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

OGAWA, et al.

Group Art Unit: Unknown

Application No.: Unknown

Examiner: Unknown

Filed: August 27, 2003

Attorney Dkt. No.: 024016-00068

For: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE, AND ADJUSTMENT
METHOD OF SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Date: August 27, 2003

Sir:

The benefit of the filing dates of the following prior foreign applications in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

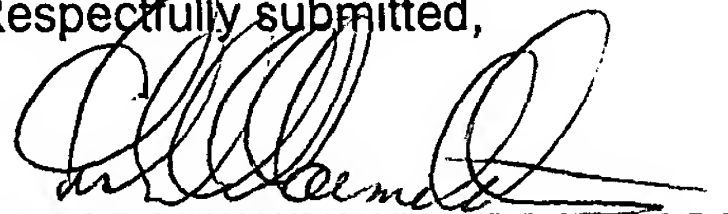
Foreign Application No. 2002-248134, filed August 28, 2002 and
Application No. 2003-192151, filed July 4, 2003 in Japan.

In support of this claim, certified copies said original foreign applications are filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of these documents.

Please charge any fee deficiency or credit any overpayment with respect to this paper to Deposit Account No. 01-2300.

Respectfully submitted,



Charles M. Marmelstein
Registration No. 25,895

Customer No. 004372
ARENT FOX KINTNER PLOTKIN & KAHN, PLLC
1050 Connecticut Avenue, N.W.,
Suite 400
Washington, D.C. 20036-5339
Tel: (202) 857-6000
Fax: (202) 638-4810
CMM/cam

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月28日

出 願 番 号

Application Number:

特願2002-248134

[ST.10/C]:

[JP2002-248134]

出 願 人

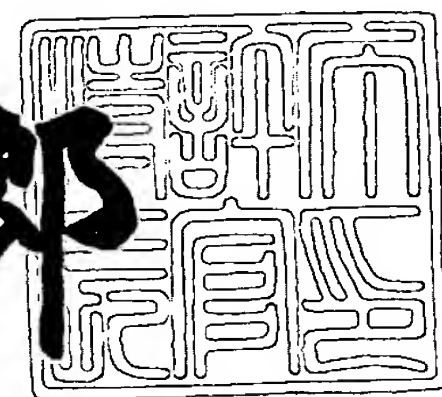
Applicant(s):

富士通株式会社

2002年12月27日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2002-3102458

【書類名】 特許願

【整理番号】 0240547

【提出日】 平成14年 8月28日

【あて先】 特許庁長官 殿

【国際特許分類】 G01R 31/28

【発明の名称】 半導体集積回路装置、および半導体集積回路装置の調整方法

【請求項の数】 10

【発明者】

【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴァリエルエスアイ株式会社内

【氏名】 小川 和樹

【発明者】

【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴァリエルエスアイ株式会社内

【氏名】 石田 喜幸

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 松宮 正人

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100098431

【弁理士】

【氏名又は名称】 山中 郁生

【電話番号】 052-218-7161

【選任した代理人】

【識別番号】 100097009

【弁理士】

【氏名又は名称】 富澤 孝

【手数料の表示】

【予納台帳番号】 041999

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0008078

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置、および半導体集積回路装置の調整方法

【特許請求の範囲】

【請求項 1】 アナログ信号を出力するアナログ信号発生部と、前記アナログ信号発生部に供給され前記アナログ信号を所定値に設定する所定信号が格納される所定信号記憶部とを備え、外部端子への入出力インターフェースがデジタル信号により行われる半導体集積回路装置において、

前記アナログ信号を調整する際、

試験信号に応じて前記アナログ信号発生部に供給される調整信号ごとに、前記調整信号に対応する前記アナログ信号と、電源電圧に基づき生成される前記所定値との比較結果を判定信号として出力する判定部を備え、

前記判定信号により前記アナログ信号が前記所定値であると判定された際の前記調整信号を、前記所定信号として前記所定信号記憶部に格納することを特徴とする半導体集積回路装置。

【請求項 2】 前記所定信号記憶部はメモリ素子またはヒューズ素子を備え、

前記判定信号に基づき前記半導体集積回路装置の内部において制御され、前記メモリ素子への書き込みまたは前記ヒューズ素子の切断が行なわれることを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 3】 前記判定信号はデジタル信号であり、前記外部端子から出力されることを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 4】 前記所定信号記憶部はヒューズ素子またはメモリ素子を備え、

出力された前記判定信号に対する外部制御に基づき、前記ヒューズ素子の切断または前記メモリ素子への書き込みが行なわれることを特徴とする請求項 3 に記載の半導体集積回路装置。

【請求項 5】 アナログ信号を出力するアナログ信号発生部と、前記アナログ信号発生部に供給され前記アナログ信号を所定値に設定する所定信号が格納さ

れる所定信号記憶部とを備え、外部端子への入出力インターフェースがデジタル信号により行われる半導体集積回路装置において、

供給される負荷設定信号に応じて、前記アナログ信号に対する負荷を可変する仮想負荷部を備えることを特徴とする半導体集積回路装置。

【請求項 6】 格納された所定信号に基づき、所定値のアナログ信号を生成すると共に、外部への入出力インターフェースがデジタル信号により行われる半導体集積回路装置の調整方法において、

前記アナログ信号を調整する際、

調整信号に対応する前記アナログ信号を生成する信号生成ステップと、

前記半導体集積回路装置の内部において行なわれ、生成された前記アナログ信号と、電源電圧に基づき生成される前記所定値との比較結果を判定する判定ステップと、

前記判定ステップにより前記アナログ信号が前記所定値であると判定された際、前記調整信号を前記所定信号として格納する格納ステップとを有することを特徴とする半導体集積回路装置の調整方法。

【請求項 7】 前記格納ステップは、前記半導体集積回路装置の内部において行なわれることを特徴とする請求項 6 に記載の半導体集積回路装置の調整方法。

【請求項 8】 前記比較結果の判定は、デジタル信号として前記外部端子から出力されることを特徴とする請求項 6 に記載の半導体集積回路装置の調整方法。

【請求項 9】 前記格納ステップは、前記半導体集積回路装置の外部において制御されることを特徴とする請求項 8 に記載の半導体集積回路装置の調整方法。

【請求項 10】 格納された所定信号に基づき、所定値のアナログ信号を生成すると共に、外部への入出力インターフェースがデジタル信号により行われる半導体集積回路装置の調整方法において、

負荷設定信号に応じて前記アナログ信号に対する負荷を可変する仮想負荷ステップを有することを特徴とする半導体集積回路装置の調整方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路装置に内蔵された内部電源回路等のアナログ信号発生部から出力されるアナログ信号の調整に関するものであり、特に、入出力信号のインターフェースがデジタル信号により行われる場合の半導体集積回路装置、および半導体集積回路装置の調整方法に関するものである。

【0002】

【従来の技術】

図17には、従来技術の回路例として半導体集積回路装置に内蔵された内部電源回路300と、内部電源電圧 V_{II} の電圧調整を行なうヒューズ回路400、およびデコード回路6000とを示す。内部電源回路300は、オペアンプ回路を使用した非反転増幅回路で構成されている。オペアンプ回路の出力信号によりPMOSトランジスタMP1のゲート電圧が制御されることにより、反転入力端子である基準端子REFから入力される基準電圧 V_{REF} が非反転増幅されて内部電源電圧 V_{II} が生成される。このときの増幅率は、内部電源電圧 V_{II} の出力端子からオペアンプ回路の非反転入力端子に到る経路に接続される抵抗素子R、R0乃至R3を選択することにより行なわれる。選択は、各抵抗素子R、R0乃至R3の間に接続されているトランスファゲートS0乃至S3の何れか1つを導通することにより行なわれる。

【0003】

この選択を行なうのが、デコード回路600である。デコード回路600は、ヒューズ回路400に格納されている所定信号 $FS<0>$ 、 $<1>$ をデコードして、デコード信号 $D<0>$ 乃至 $D<3>$ のうちの何れか1つの信号を選択する。所定信号 $FS<0>$ 、 $<1>$ ごとに同相および逆相の2相の信号を生成して、各信号を組み合わせて論理和演算をすることによりデコード信号 $D<0>$ 乃至 $D<3>$ を得る。

【0004】

ヒューズ回路400には、抵抗素子とヒューズ素子とで構成されており、所定

の内部電源電圧 V_{II} を出力するための所定信号 $FS<0>$ 、 $<1>$ が格納されている。ローレベル信号についてはヒューズ素子を未切断とし、ハイレベル信号についてヒューズ素子を切断して信号が格納される。半導体集積回路においては、製造ばらつき等により個々のデバイス特性がばらつきを有しており、基準端子 R_{EF} に入力される基準電圧 V_{REF} もばらつくことが一般的である。所定信号 $FS<0>$ 、 $<1>$ は、このばらつきを補正して所定の内部電源電圧 V_{II} を出力するための信号であり、内部電源回路 300 ごとに設定される。この設定作業は、いわゆるトリミング作業とも称されるものであり、図 18 に示す試験フローにより行なわれる。

【0005】

図 18 の試験フローでは、半導体集積回路の外部装置であるテスト装置等で内部電源電圧 V_{II} を測定する。この段階ではヒューズ素子は未切断状態にあるので、所定信号 $FS<0>$ 、 $<1>$ はローレベル信号である。内部電源回路 300 では、トランスファゲート S_0 が選択され最小の増幅率が設定されている。測定された内部電源電圧 V_{II} の電圧値に基づいて、内部電源回路 300 の増幅率をどのように変更すればよいか予め計算しておくことができる。すなわち、初期測定される内部電源電圧 V_{II} の電圧値と所定値との差異に応じて、切断すべきヒューズ素子は予め確定している。図 18 の試験フローでは、測定された内部電源電圧 V_{II} に応じたヒューズ素子を切断するフローである。

【0006】

初期測定される内部電源電圧 V_{II} が、増幅率の選択で調整できる範囲を下回る電圧値 $V_{II X}$ である場合 ($V_{II} < V_{II X}$) は、半導体集積回路は不良品である。所定電圧値 $V_{II Z}$ 以上となっている場合 ($V_{II} \geq V_{II Z}$)、ヒューズ素子は切断する必要がある。ここで、各々のトランスファゲート S_1 、 S_2 を選択する場合に、所定電圧値 $V_{II Z}$ に設定される場合の初期測定電圧値 V_{II} を、各々、 $V_{II 1}$ 、 $V_{II 2}$ とする。初期測定された電圧値 V_{II} が、 $V_{II X}$ 、 $V_{II 2}$ 、 $V_{II 1}$ 、 $V_{II Z}$ のそれぞれの電圧範囲に応じて切断すべきヒューズ素子が確定する。

【0007】

【発明が解決しようとする課題】

従来技術では、内部電源回路 3 0 0 を内蔵する半導体集積回路において内部電源電圧 V_{II} を調整（トリミング）する場合には、トリミング試験フローにおいて内部電源電圧 V_{II} を測定する必要がある。従って、トリミング試験にはアナログ電圧の測定が可能なアナログテスタを使用する必要がある。内部電源回路 3 0 0 以外のアナログ回路を搭載する場合も、調整のためにアナログ信号を測定する必要があることは同様である。

【0 0 0 8】

一方、近年の半導体集積回路技術の高度化、微細化に伴い、システム L S I に代表されるデジタル L S I 分野の半導体集積回路においても、内部電源回路等のアナログ機能を備えるアナログ回路ブロックが搭載されるようになってきている。

【0 0 0 9】

このため、外部端子への入出力インターフェースとしてデジタル信号が使用される半導体集積回路において、内部電源電圧等のアナログ信号を調整するために専用の測定端子（アナログ端子）を備えることが必要となり問題である。

【0 0 1 0】

具体的には、半導体集積回路内に備えられるアナログ回路ブロックは、半導体集積回路の設計ごとに任意の配置位置に配置される。また、アナログ端子の配置位置も設計ごとに異なる。すなわち、アナログ回路ブロックからアナログ端子までの配線経路、配線長、配線負荷等は半導体集積回路の設計ごとに異なる。精度よくアナログ信号をアナログ端子に出力するためには、周辺回路ブロックや隣接配線からのデジタル信号によるノイズの混入、配線経路上の配線負荷によるアナログ値の変動等に対して設計ごとに十分な配慮をする必要がある。アナログ信号の調整に必要な専用のアナログ端子を備えるために多大な設計負担を伴うこととなり問題である。

【0 0 1 1】

また、デジタル端子から入出力されるデジタル信号に伴う試験と共に、アナログ端子から出力されるアナログ信号の測定を行なう必要がある。すなわち、デジ

タル試験とアナログ試験を共に行なう必要がある。このため、デジタル試験機能とアナログ試験機能とを共に備えるテスト装置を備えなければならない。テスト装置自身が複雑、高価となり、試験時間も増大せざるを得ない。試験におけるスループットが悪化すると共に試験コストが増大することとなり問題である。

【 0 0 1 2 】

更に、デジタル試験とアナログ試験とを別途に独立して行なわなければならない。アナログ試験の際にはデジタル機能は所定の状態に維持せざるを得ない。デジタル機能の動作によるアナログ信号への影響を試験することができず問題である。

【 0 0 1 3 】

本発明は前記従来技術の課題の少なくとも1つを解消するためになされたものであり、半導体集積回路装置に内蔵された内部電源回路等のアナログ信号発生部から出力されるアナログ信号の調整をする際、アナログ信号をアナログ値として半導体集積回路装置の外部に出力することなく調整することができる半導体集積回路装置、および半導体集積回路装置の調整方法を提供することを目的とする。

【 0 0 1 4 】

【課題を解決するための手段】

前記目的を達成するために、請求項1に係る半導体集積回路装置は、アナログ信号を出力するアナログ信号発生部と、アナログ信号発生部に供給されアナログ信号を所定値に設定する所定信号が格納される所定信号記憶部とを備え、外部端子への入出力インターフェースがデジタル信号により行われる半導体集積回路装置において、アナログ信号を調整する際、試験信号に応じてアナログ信号発生部に供給される調整信号ごとに、調整信号に対応するアナログ信号と、電源電圧に基づき生成される所定値との比較結果を判定信号として出力する判定部を備え、判定信号によりアナログ信号が所定値であると判定された際の調整信号を、所定信号として所定信号記憶部に格納することを特徴とする。

【 0 0 1 5 】

請求項1の半導体集積回路装置では、外部端子への入出力インターフェースがデジタル信号により行われる半導体集積回路装置に内蔵されるアナログ信号発生部に対してアナログ信号が調整される際、調整信号を順次供給してアナログ信号

を生成する。生成されるアナログ信号は、判定部により、電源電圧に基づいて生成される所定値と比較され、比較結果が判定信号として得られる。所定信号記憶部には、判定信号に基づいてアナログ値が所定値となる調整信号が所定信号として格納される。

【 0 0 1 6 】

また、請求項 6 に係る半導体集積回路装置の調整方法は、格納された所定信号に基づき、所定値のアナログ信号を生成すると共に、外部への入出力インターフェースがデジタル信号により行われる半導体集積回路装置について、アナログ信号を調整する際、調整信号に対応するアナログ信号を生成する信号生成ステップと、半導体集積回路装置の内部において行なわれ、生成されたアナログ信号と、電源電圧に基づき生成される所定値との比較結果を判定する判定ステップと、判定ステップによりアナログ信号が所定値であると判定された際、調整信号を所定信号として格納する格納ステップとを有することを特徴とする。

【 0 0 1 7 】

請求項 6 の半導体集積回路装置の調整方法では、外部端子への入出力インターフェースがデジタル信号により行われる半導体集積回路装置において生成されるアナログ信号を調整する際、信号生成ステップにおいて調整信号に対応するアナログ信号が生成され、判定ステップにおいて生成されたアナログ信号と、電源電圧に基づき生成される所定値との比較が半導体集積回路装置の内部において行なわれる。格納ステップでは、アナログ信号が所定値であると判定された際の調整信号が所定信号として格納される。

【 0 0 1 8 】

これにより、半導体集積回路装置に判定部が備えられ、または半導体集積回路装置の内部で判定ステップが行なわれ、調整信号ごとに出力されるアナログ信号が所定値と比較判定されるので、半導体集積回路装置の内部でアナログ信号の判定を行なうことができる。

【 0 0 1 9 】

アナログ信号を半導体集積回路装置の外部端子に出力する必要がなく、半導体集積回路装置におけるアナログ信号の出力用外部端子の配置、および出力用外部

端子へのアナログ信号の配線は不要となる。アナログ配線の設計に伴う配慮が不要となり半導体集積回路装置の設計負荷を軽減することができる。

【 0 0 2 0 】

また、アナログ信号が外部端子から出力されないため、アナログ信号に対する試験は不要である。デジタルインターフェースの外部端子に対してデジタル機能を有するテスト装置を備えてやればよい。デジタル機能とアナログ機能との両機能を実現する複雑なテスト装置を備える必要はない。更に、デジタル機能とアナログ機能との試験条件の切り替え等が不要となり、切り替えに伴う試験時間のオーバーヘッドを低減することができる。試験コストの低減を図ることができる。

【 0 0 2 1 】

ここで、所定値は、アナログ信号の比較判定用の値でありアナログ値であり、調整試験時に半導体集積回路装置に供給される電源電圧に基づいて生成することができる。調整試験時において電源電圧を所定電圧値に設定しておけば、外部端子から所定値として所定のアナログ値を入力する必要はない。所定値は、電源電圧を適宜に降圧、分圧し、またはこれらを適宜に組み合わせ等して生成することができる。

【 0 0 2 2 】

また、所定値とは、第 1 および第 2 比較基準値に挟まれた所定アナログ値領域であり、第 1 および第 2 比較基準値を含む 2 以上の比較基準値により区画されたアナログ値領域のうち何れの領域にアナログ信号が存在するかを判定することが好ましい。これにより、アナログ信号の所定値からの変異を把握することができ、判定結果に応じて調整信号を変異させて速やかに所定値に近づけることができる。

【 0 0 2 3 】

また、判定部は、アナログ信号を第 1 および第 2 比較基準値を含む 2 以上の比較基準値ごとに比較する複数の比較部と、複数の比較部の出力信号が入力され、アナログ値領域を識別するエンコード信号を出力するエンコード部とを備えることが好ましい。これにより、エンコード信号として、アナログ値領域を識別することができるビット数のデジタル信号を備えてやれば、必要最小限のビット数の

デジタル信号により判定結果を表わすことができる。

【 0 0 2 4 】

また、請求項 2 に係る半導体集積回路装置は、請求項 1 に記載の半導体集積回路装置において、所定信号記憶部はメモリ素子またはヒューズ素子を備え、判定信号に基づき半導体集積回路装置の内部において制御され、メモリ素子への書き込みまたはヒューズ素子の切断が行なわれることを特徴とする。

【 0 0 2 5 】

また、請求項 7 に係る半導体集積回路装置の調整方法は、請求項 6 に記載の半導体集積回路装置の調整方法において、格納ステップは、半導体集積回路装置の内部において行なわれることを特徴とする。

【 0 0 2 6 】

請求項 2 の半導体集積回路装置、または請求項 7 の半導体集積回路装置の調整方法では、メモリ素子またはヒューズ素子を備えた所定信号記憶部への所定信号の格納、または格納ステップは、判定信号または判定結果に基づいて半導体集積回路装置の内部において行なわれる。これにより、判定信号または判定結果を半導体集積回路装置の外部に出力することなく、所定値を所定信号記憶部に格納することができる。

【 0 0 2 7 】

ここで、所定信号記憶部としてメモリ素子を備えて構成されていれば、判定信号に基づいて制御信号を生成することにより、調整信号のメモリ素子への書き込み動作を実行することができる。また、所定信号記憶部としてヒューズ素子を備えて構成することもできる。半導体集積回路装置内部に電氣的にヒューズ素子を切断する回路構成を備えることにより、判定信号に基づいて、調整信号に応じたヒューズ素子を切断することができる。

【 0 0 2 8 】

また、メモリ素子とは、SRAMやDRAM等を使用される揮発性のメモリセルで構成することができる。また、フラッシュメモリ等に備えられている電氣的に書き換え可能な不揮発性メモリセルで構成することもできる。更に、メモリセルの構成に代えて、レジスタやフリップフロップ等のデータ保持機能を有する回

路構成により実現することもできる。

【 0 0 2 9 】

また、請求項 3 に係る半導体集積回路装置は、請求項 1 に記載の半導体集積回路装置において、判定信号はデジタル信号であり、外部端子から出力されることが好ましい。また、請求項 8 に係る半導体集積回路装置の調整方法は、請求項 6 に記載の半導体集積回路装置の調整方法において、判定ステップでの比較結果の判定は、デジタル信号として外部端子から出力されることが好ましい。これにより、デジタル機能試験が行なわれる外部のテスト装置で判定結果を検出することができる。検出結果に応じて、試験信号や調整信号の制御を行なうことができる。

【 0 0 3 0 】

また、この場合、判定部として、アナログ信号を第 1 および第 2 比較基準値を含む 2 以上の比較基準値ごとに比較する複数の比較部と、複数の比較部の出力信号が入力され、アナログ値領域を識別するエンコード信号を出力するエンコード部とを備えていれば、アナログ値領域を識別することができる必要最小限のビット数のデジタル信号により判定結果を表わすことができる。判定信号または判定結果をデジタル信号として外部端子から出力する際、必要最小限の外部端子数を確保すればよい。

【 0 0 3 1 】

また、請求項 4 に係る半導体集積回路装置は、請求項 3 に記載の半導体集積回路装置において、所定信号記憶部はヒューズ素子を備え、出力された判定信号に対する外部制御に基づき、所定信号に応じたヒューズ素子を切断することが好ましい。また、所定信号記憶部はメモリ素子を備えて構成することもできる。出力された判定信号に対する外部制御に基づき、メモリ素子への書き込み制御信号を入力して所定信号をメモリ素子に書き込むことができる。また、請求項 9 に係る半導体集積回路装置の調整方法は、請求項 8 に記載の半導体集積回路装置の調整方法において、格納ステップは、半導体集積回路装置の外部において制御されることが好ましい。これにより、ヒューズ素子やメモリ素子を備える所定信号記憶部への所定信号の格納を、外部制御により別途行なうことができる。テスト装置

による一連の試験が完了した以後に、格納動作を行なうことができる。

【 0 0 3 2 】

また、請求項 5 に係る半導体集積回路装置は、アナログ信号を出力するアナログ信号発生部と、アナログ信号発生部に供給されアナログ信号を所定値に設定する所定信号が格納される所定信号記憶部とを備え、外部端子への入出力インターフェースがデジタル信号により行われる半導体集積回路装置において、供給される負荷設定信号に応じて、アナログ信号に対する負荷を可変する仮想負荷部を備えることが好ましい。また、請求項 1 0 に係る半導体集積回路装置の調整方法は、格納された所定信号に基づき、所定値のアナログ信号を生成すると共に、外部への入出力インターフェースがデジタル信号により行われる半導体集積回路装置について、負荷設定信号に応じてアナログ信号に対する負荷を可変する仮想負荷ステップを有することが好ましい。これにより、仮想負荷部を備え、または仮想負荷ステップを有しているので、適宜に仮想的な負荷を接続することができる。デジタル機能や他のアナログ機能といった半導体集積回路装置内部における各種の動作状態を、擬似的に再現することができる。アナログ信号の調整試験の際に行なえば、実動作に近い負荷状態でアナログ信号の調整を行なうことができる。

【 0 0 3 3 】

図 1 に本発明の第 1 原理図を示す。調整信号 A D が入力されるアナログ信号発生部 3 からはアナログ信号 A O U T が出力される。調整信号 A D がデジタル信号の場合は、アナログ信号発生部 3 においてデジタル信号からアナログ信号 A O U T が出力されることとなり、アナログ信号発生部 3 において入出力信号は D / A 変換されることとなる。また、調整信号 A D がデジタル信号の場合には、調整信号 A D が外部端子 T 1 から入力される構成とすることもできる。これに対して、アナログ信号 A O U T は、半導体集積回路装置内部で使用される信号であり、外部端子からアナログ信号として出力されることはない。

【 0 0 3 4 】

アナログ信号 A O U T は、判定部 1 に入力されて所定値と比較判定される。所定値は比較判定のための基準値であり、所定の固定値に維持される必要がある。判定部 1 では、外部端子 T 3 に供給される電源電圧 V D D に基づいて生成される

。アナログ信号の調整を含めた試験動作においては、半導体集積回路装置に供給される電源電圧VDDを、所定の電圧値に維持して供給することができる。従って、外部端子T3に供給される電源電圧VDDに基づいて所定値を生成することができる。電源電圧VDDは半導体集積回路装置の動作においては必ず供給しなければならない。電源電圧VDDを利用することにより、外部端子からアナログ信号を供給することなく所定値を生成することができる。

【 0 0 3 5 】

判定部1からは判定信号JGが出力される。この判定信号JGは、半導体集積回路装置の内部信号として所定信号記憶部4に作用する構成とすることができる。他、外部端子T2を介して出力する構成とすることもできる。所定信号記憶部4に作用する構成では、判定信号JGに基づいて、調整信号ADが所定信号記憶部4に取り込まれる。外部端子T2から出力される構成では、判定信号JGはデジタル信号である。出力された判定信号JGは、テスト装置等の外部の制御部（不図示）に入力される。外部の制御部は、判定信号JGに基づいて、このときの調整信号ADを取得すると共に、調整試験動作を終了する。合わせて、調整試験動作の終了に先立ち、または終了後に、取得した調整信号を所定信号として所定信号記憶部4に格納する。判定部1に入力されるアナログ信号AOUTに対してデジタル信号JGが出力される場合、判定部1において入出力信号はA/D変換される。

【 0 0 3 6 】

所定信号記憶部4は、揮発性、不揮発性を問わず、電氣的に書き換え可能なメモリ素子や、レジスタ、フリップフロップ等のデータ保持機能を有する回路構成により構成することができる。また、1回だけの書き込みが可能なヒューズ素子、1タイムROM等を利用することもできる。ヒューズ素子については、レーザー照射等により切断することの他、電氣的に切断する事も可能である。ここで、電氣的な処理については、半導体集積回路装置内部での制御、または外部の制御部による制御の何れの制御でも対応することができる。

【 0 0 3 7 】

図2に本発明の第2原理図を示す。アナログ信号発生部3は、調整信号ADに

対応するアナログ信号 AOUT を出力する。アナログ信号 AOUT には仮想負荷部 2 が接続されている。仮想負荷部 2 は、負荷設定信号 LDS に制御されてアナログ信号 AOUT に接続される負荷を可変することができる。負荷設定信号 LDS を適宜に設定してやれば、半導体集積回路装置の各動作状態においてアナログ信号 AD に付加される負荷と同等の負荷を擬似的に接続することができる。負荷設定信号 LDS を調整信号 AD によるアナログ信号 AOUT の調整時に行なえば、半導体集積回路装置を実際に動作させることなく、実動作状態と同等な負荷を接続してアナログ信号 AOUT の判定を行なうことができる。

【 0 0 3 8 】

ここで、調整信号 AD および負荷設定信号 LDS は、半導体集積回路装置内部で生成される構成とすることも、外部端子 T1、T4 を介して外部から入力される構成とすることもできる。外部端子 T1、T4 を介して入力される場合には、調整信号 AD および負荷設定信号 LDS はデジタル信号である。

【 0 0 3 9 】

【発明の実施の形態】

以下、本発明の半導体集積回路装置、および半導体集積回路装置の調整方法について具体化した第 1 乃至第 4 実施形態を図 3 乃至図 16 に基づき図面を参照しつつ詳細に説明する。第 1 乃至第 4 実施形態では、アナログ信号発生部 3 として内部電源回路 31 を備える構成とし、アナログ信号 AOUT として内部電源電圧 V_{II} が出力される回路構成を例にとり説明する。

【 0 0 4 0 】

図 3 には、内部電源電圧 V_{II} の調整についての第 1 実施形態の回路ブロック図を示す。外部端子 T11 から入力される調整信号 EAD<m:0> は、マルチプレクサ 51 の一方の入力端子に入力される。マルチプレクサ 51 の他方の入力端子には、ヒューズ回路（またはメモリ回路）41 に格納される所定信号 FS<m:0> が入力される。マルチプレクサ 51 は、外部端子 T15 に入力される試験信号 TS により制御される。内部電源電圧 V_{II} の調整試験では、調整信号 EAD<m:0> が選択される。調整試験が完了して調整信号がヒューズ回路（またはメモリ回路）41 に格納された後の通常の動作状態では、所定信号 FS<m

: 0 > が選択される。選択された信号 $EAD<m:0>$ または $FS<m:0>$ は、デコード回路 6 1 でデコードされる。デコード回路 6 1 から出力されるデコード信号 $D<n:0>$ が内部電源回路 3 1 に入力される。

【 0 0 4 1 】

内部電源回路 3 1 から出力される内部電源電圧 V_{II} は、判定部 1 1 内の比較部 1 2 に入力される。比較部 1 2 には、更に外部端子 T_{13} に供給される電源電圧 V_{DD} が入力される。比較部 1 2 では電源電圧 V_{DD} に基づいて所定値が設定される。比較部 1 2 からの比較結果信号 J は、エンコード部 1 3 に入力される。エンコード部 1 3 において比較結果が判定されて判定信号 JG が出力される。

【 0 0 4 2 】

ヒューズ回路（またはメモリ回路）4 1 への調整信号 $EAD<m:0>$ の格納は、半導体集積回路装置の内部にて制御する場合、テスト装置等の外部制御装置（不図示）により外部から制御する場合の何れの場合も考えられる。内部で制御する場合には、判定信号 JG はヒューズ回路（またはメモリ回路）4 1 に制御信号として入力され、判定信号 JG に基づくヒューズ素子の切断またはメモリ素子への書き込み動作により、調整信号 $EAD<m:0>$ が取り込まれる。外部から制御する場合には、判定信号 JG はデジタル信号であり、外部端子 T_{12} から出力される。出力された判定信号 JG に基づいて、外部からのヒューズ素子の切断またはメモリ素子への書き込み動作により、調整信号 $EAD<m:0>$ が格納される。尚、内部で制御する場合においても、判定信号 JG をデジタル信号として外部端子 T_{12} から出力する構成としてもよい。この場合、判定信号 JG により調整試験動作の完了を報知し、試験信号 TS および調整信号 $EAD<m:0>$ の供給を止めることも可能である。

【 0 0 4 3 】

外部端子 T_{15} から入力される試験信号 TS が活性化された状態では、外部端子 T_{11} から所定周期ごとに調整信号 $EAD<m:0>$ が入力される。入力された調整信号 $EAD<m:0>$ は、マルチプレクサ 5 1 を介してデコード回路 6 1 でデコード信号 $D<n:0>$ にデコードされた上で、内部電源回路 3 1 に入力される。内部電源回路 3 1 では、デコード信号 $D<n:0>$ に応じた内部電源電圧

V I I が出力される。出力された内部電源電圧 V I I は、判定部 1 1 内の比較部 1 2 に入力され、電源電圧 V D D に基づいて生成される所定値と比較される。比較結果信号 J はエンコード部 1 3 に入力される。エンコード部 1 3 は、比較結果を判定して判定信号 J G を出力する。判定信号 J G が内部電源電圧 V I I と所定値との不一致判定を示す場合には、所定周期後に調整信号 E A D < m : 0 > が更新されて入力され、再度、比較判定動作が繰り返される。判定信号 J G が内部電源電圧 V I I と所定値との一致判定を示すと、半導体集積回路装置の設定に応じて、内部制御により、または外部制御により、ヒューズ回路（またはメモリ回路）4 1 に、一致判定された調整信号 E A D < m : 0 > が格納される。

【 0 0 4 4 】

図 4 に第 1 実施形態の具体例についての回路図を示す。外部端子 T 1 1 A、T 1 1 B から調整信号 E A D < m : 0 > として 2 ビットの信号（m = 1）が入力される場合を示している。ヒューズ回路 4 1 A は、電源電圧に接続された抵抗素子と接地電圧に接続されたヒューズ素子 F < 1 : 0 > との接続点に所定信号 F S < 1 : 0 > を格納する。ヒューズ素子 F < 1 : 0 > の未切断によりローレベル信号が格納され、切断によりハイレベル信号が格納される。

【 0 0 4 5 】

マルチプレクサ 5 1 A は、調整信号 E A D < 1 : 0 > または所定信号 F S < 1 : 0 > の何れか一方を選択する。各々の信号経路と出力端子との間には、トランスファゲート S E 0、S E 1、および S F 0、S F 1 が備えられている。各トランスファゲートは、外部端子 T 1 5 A から入力される試験信号 T S により導通制御される。トランスファゲート S E 0、S E 1 とトランスファゲート S F 0、S F 1 とは、試験信号 T S の接続関係が逆転しているので互いに排他的に導通制御される。試験信号 T S のローレベル信号でトランスファゲート S E 0、S E 1 が導通して調整信号 E A D < 1 : 0 > が選択される。試験信号 T S のハイレベル信号でトランスファゲート S F 0、S F 1 が導通して所定信号 F S < 1 : 0 > が選択される。試験信号 T S のローレベル信号で内部電源電圧 V I I の調整試験動作が行われる。

【 0 0 4 6 】

マルチプレクサ 5 1 A で選択された 2 ビットの信号は、デコード回路 6 1 A に入力される。入力された信号はビットごとに同相信号と逆相信号とが生成され、各信号の組み合わせにより 4 通りにデコードが行なわれる。すなわち、調整信号 $EAD<1:0>$ を例にとれば、ノアゲート NOR 0 乃至 NOR 3 により ($EAD<1>$ 、 $EAD<0>$) = (0、0)、(0、1)、(1、0)、(1、1) に対して、デコード信号 $D<0>$ 乃至 $D<3>$ が順次選択されてハイレベルとなる。

【 0 0 4 7 】

内部電源回路 3 1 A は、PMOS トランジスタ MP 1 と抵抗素子列 R、R 0 乃至 R 3 との接続点から内部電源電圧 V_{II} を出力する構成である。PMOS トランジスタ MP 1 のゲート端子はオペアンプで制御されている。オペアンプの反転入力端子には基準端子 REF から基準電圧 V_{REF} が入力されている。非反転入力端子と内部電源電圧 V_{II} の出力端子との間にはフィードバックループが構成される。非反転入力端子には、フィードバックされたフィードバック電圧 V_{AF} が入力されている。フィードバックループは、抵抗素子列 R、R 0 乃至 R 3 の各接続点と非反転入力端子との間を接続するトランスファゲート S 0 乃至 S 3 が、デコード信号 $D<0>$ 乃至 $D<3>$ に応じて択一に選択されて形成される。内部電源回路 3 1 A は、抵抗素子列 R、R 0 乃至 R 3 におけるフィードバック位置で決定される所定の増幅率を有する非反転増幅回路である。

【 0 0 4 8 】

このフィードバックループにおいては、調整信号 $EAD<1:0>$ の切り替わりに伴うデコード信号 $D<0>$ 乃至 $D<3>$ の切り替わりに応じて、順次、トランスファゲート S 0 乃至 S 3 が導通される。抵抗素子列 R、R 0 乃至 R 3 におけるフィードバック位置が順次、低電圧側にシフトして増幅率が増大する。内部電源電圧 V_{II} として順次、電圧上昇した出力電圧値が得られる。

【 0 0 4 9 】

内部電源電圧 V_{II} は、比較部 1 2 A に入力される。比較部 1 2 A では、2 つの比較器 C 0、C 1 を備えている。各比較器 C 0、C 1 の基準電圧 V_{II0} 、 V_{II1} は、外部端子 T 1 3 A から入力される電源電圧 V_{DD} を、抵抗素子 RC 0

乃至 R C 2 で分圧して得られる。ここでは、基準電圧 V I I 0 と V I I 1 の間の電圧値領域が所定値である。内部電源電圧 V I I が各々の比較器 C 0、C 1 に入力されることにより、所定値との電圧比較が行なわれる。内部電源電圧 V I I が、V I I 0 より低い電圧値領域にある場合、および V I I 1 より高い電圧値領域にある場合には、各比較器 C 0、C 1 から出力される比較信号 J < 0 >、J < 1 > は同相信号となる。基準電圧 V I I 0 と V I I 1 との間の電圧値領域にある場合には、比較信号 J < 0 >、J < 1 > は逆相信号となる。

【 0 0 5 0 】

比較信号 J < 0 >、J < 1 > をエンコードして判定信号 J G を出力するエンコード部 1 3 A は、比較信号 J < 0 > を論理反転した上で、比較信号 J < 1 > との間でノア論理をとる。上述したように、基準電圧 V I I 0 と V I I 1 との間の電圧値領域にある場合には、比較信号 J < 0 >、J < 1 > は逆相信号となり、ノアゲートへの入力信号は何れもローレベルとなる。従って、この場合に、判定信号 J G としてハイレベルが出力され、内部電源電圧 V I I が所定値であるという判定が行なわれる。エンコード部 1 3 A から出力される判定信号 J G はデジタル信号であるので、外部端子 T 1 2 A から出力することができる。比較部 1 2 A とエンコード部 1 3 A とで判定部を構成している。

【 0 0 5 1 】

図 5 には、第 1 実施形態の具体例における動作波形を示す。試験信号 T S がローレベルに反転すると、内部電源電圧 V I I の調整試験が開始される。この状態で、調整信号 E A D < 1 : 0 > が、(0、0) の論理レベルから、順次インクリメントされていく。試験信号 T S に応じてマルチプレクサ 5 1 A では調整信号 E A D < 1 : 0 > が選択されているので、順次インクリメントされる調整信号 E A D < 1 : 0 > に対応して、デコード信号 D < 0 > 乃至 D < 3 > が順次選択されてハイレベルとなる。デコード信号 D < 0 > 乃至 D < 3 > の選択に応じて、内部電源回路 3 1 A の増幅率が増大する。従って、内部電源電圧 V I I が順次増大していく。

【 0 0 5 2 】

内部電源電圧 V I I は、デコード信号 D < 0 > および D < 1 > の選択時には、

比較部 1 2 A の基準電圧 V_{II0} より小さな電圧値となるため、比較信号 $J<0>$ 、 $J<1>$ は何れもハイレベルである。また、デコード信号 $D<3>$ の選択時には、比較部 1 2 A の基準電圧 V_{II1} より大きな電圧値となるため、比較信号 $J<0>$ 、 $J<1>$ は何れもローレベルである。何れの場合も、エンコード部 1 3 A のノアゲートの一方の入力端子はハイレベルとなる。従って、判定信号 JG はローレベルを維持する。

【 0 0 5 3 】

デコード信号 $D<2>$ の選択時には、内部電源電圧 V_{II} は、比較部 1 2 A の基準電圧 V_{II0} と V_{II1} との間になる。このため、比較信号 $J<0>$ はハイレベル、 $J<1>$ はローレベルとなる。エンコード部 1 3 A のノアゲートの入力端子は何れもローレベルとなる。従って、判定信号 JG はハイレベルとなる。

【 0 0 5 4 】

外部端子 T 1 2 A から出力された判定信号 JG により、この時点での調整信号 $EAD<1:0>$ が外部の制御部に記憶される。試験信号 TS がハイレベルに反転して調整試験が終了した後に、ヒューズ回路 4 1 A における所定のヒューズ素子を切断する。具体的には、調整信号 $(EAD<1>, EAD<0>) = (1, 0)$ を格納するため、ヒューズ素子 $F<1>$ を切断すればよい。これにより、調整信号 $(EAD<1>, EAD<0>) = (1, 0)$ が所定信号 $(FS<1>, FS<0>) = (1, 0)$ としてヒューズ回路 4 1 A に格納される。

【 0 0 5 5 】

図 6 には、外部の制御部としてテスト装置を使用し、内部電源電圧 V_{II} についてトリミング試験をして所定信号 $FS<m:0>$ を格納する場合の試験フローを示す。尚、図 6 中、カッコでくくった部分は半導体集積回路装置内での処理を示す。

【 0 0 5 6 】

トリミング試験の開始により、テスト装置において試験モードが設定される ($S1$)。試験信号 TS がローレベルに反転されると共に、電源電圧 V_{DD} を所定電圧値に固定する。更に、調整信号 $EAD<m:0> = 0$ に初期化する。この状態から半導体集積回路装置の外部端子に向けて調整信号 $EAD<m:0>$ が順次

供給される。半導体集積回路装置では、調整信号 $EAD<m:0>$ がデコードされてデコード信号 $D<n:0>$ が出力され、これに応じて内部電源電圧 VII が出力される。出力された内部電源電圧 VII は、比較判定される (S2)。

【0057】

判定の結果として、外部端子から出力されるデジタル信号の判定信号 JG を判断する (S3)。ローレベルを維持していれば (S3:NO)、内部電源電圧 VII が所定値ではないことを示すので、調整信号 $EAD<m:0>$ の値を1つインクリメントして更新する (S4)。インクリメントした調整信号 $EAD<m:0>$ が初期値である0でなければ (S5:NO)、新たな調整信号 $EAD<m:0>$ を外部端子に供給してS2以降の処理を繰り返す。更新された調整信号 $EAD<m:0>$ が初期値の0に戻れば (S5:YES)、この半導体集積回路装置は、内部電源電圧 VII を所定値に調整できないこととなり、不良品と判断される (S6)。

【0058】

判定の結果として判断する判定信号 JG がハイレベルとなれば (S3:YES)、内部電源電圧 VII が所定値であることを示す。このときの調整信号 $EAD<m:0>$ の値をヒューズ回路 (またはメモリ回路) 41 への格納データとして取得する (S7)。この取得データに基づき、該当するヒューズ素子の切断 (または調整信号 $EAD<m:0>$ の書き込み) を行なう (S8)。

【0059】

図7には、判定部の変形例を示す。比較部12Bは、比較部12A (図4、参照) に加えて、抵抗素子 $RC3$ 、 $RC4$ と、比較器 $C2$ 、 $C3$ とが備えられている。各比較器 $C0$ 乃至 $C3$ の基準電圧は、基準電圧 $VII0$ 、 $VII1$ に加えて基準電圧 $VII2$ 、 $VII3$ である。基準電圧 $VII0$ 乃至 $VII3$ は、外部端子から入力される電源電圧 VDD を抵抗素子 $RC0$ 乃至 $RC4$ で分圧して得られる。基準電圧 $VII1$ と $VII2$ の間の電圧値領域を所定値に設定した場合、上下に各々2つの電圧値領域を有する構成である。合計で5つの電圧値領域を識別することができる。

【0060】

比較部 1 2 B は、内部電源電圧 V_{II} が 5 つの電圧値領域のうち何れにあるかを識別する。この識別は、各比較器 C 0 乃至 C 3 から出力される比較信号 $J < 3 : 0 >$ について、比較信号 $J < 0 >$ から比較信号 $J < 3 >$ に向かって順次 “1” が設定されることにより行なわれる。エンコード部 1 3 B は、4 ビットの比較信号 $J < 3 : 0 >$ をエンコードして 3 ビットの判定信号 $JG < 2 : 0 >$ を出力する。図 7 のエンコード表では、比較信号 $J < 3 : 0 >$ の増加に合わせて判定信号 $JG < 2 : 0 >$ がインクリメントされる設定である。内部電源電圧 V_{II} が所定値の電圧値領域にある場合には、比較信号 $J < 3 : 0 >$ として (0、0、1、1) が得られる。このときの判定信号 $JG < 2 : 0 >$ として (0、1、0) が出力される。

【 0 0 6 1 】

判定信号 $JG < 2 : 0 >$ は、内部電源電圧 V_{II} が所定値以外の電圧値領域にある場合にも、何れの電圧値領域にあるかの情報を有している。このため、判定信号 $JG < 2 : 0 >$ により内部電源電圧 V_{II} の電圧値領域を把握することができ、調整信号の遷移をよりの確、迅速に所定信号に近づけることができる。図 7 では、判定信号 $JG < 2 : 0 >$ として 3 ビットの信号を例に説明したが、更に多数のビット構成で構成することもできる。これにより、更に的確な内部電源電圧 V_{II} の電圧値領域の把握が可能となり、より迅速に調整信号を所定信号に近づけることが可能となる。

【 0 0 6 2 】

図 8 には、内部電源電圧 V_{II} の調整についての第 2 実施形態の回路ブロック図を示す。第 1 実施形態 (図 3) のヒューズ回路 (またはメモリ回路) 4 1 に代えてメモリ回路 (またはヒューズ回路) 4 2 を備えている。また、調整信号発生部 7 1 を内蔵している。

【 0 0 6 3 】

調整信号発生部 7 1 は、発振回路 7 2 と、発振回路 7 2 からの発振信号 CLK が入力されるカウンタ回路 7 3 とを備えている。また、発振回路 7 2 およびカウンタ回路 7 3 は、外部端子 T 1 5 に入力される試験信号 TS により制御される。カウンタ回路 7 3 は、発振信号 CLK をカウントし所定タイミングごとに調整信

号 $CAD<m:0>$ を出力する。ここで、所定タイミングを計時するため、適宜に、発振信号 CLK の分周、またはカウンタ回路 7 3 のインクリメントタイミングの調整等を行なうことが好ましい。調整信号 $CAD<m:0>$ が半導体集積回路装置の内部で生成されるため、調整信号 $EAD<m:0>$ が入力される外部端子 $T11$ (図 3) が不要となる。内部電源電圧 VII の調整試験用の外部端子を減らすことができる。

【 0 0 6 4 】

メモリ回路 (またはヒューズ回路) 4 2 への調整信号 $CAD<m:0>$ の格納は、半導体集積回路装置の内部にて制御される。判定信号 JG はメモリ回路 (またはヒューズ回路) 4 2 に制御信号として入力され、判定信号 JG に基づくメモリ素子への書き込み動作により、またはヒューズ素子の切断により調整信号 $CAD<m:0>$ が取り込まれる。この場合のヒューズ切断は電氣的なストレス印加により行なわれる。格納された信号は所定信号 $MS<m:0>$ として通常動作時に供給される。

【 0 0 6 5 】

尚、この場合の判定信号 JG は内部制御用の信号であるが、デジタル信号として外部端子 $T12$ から出力する構成としてもよい。判定信号 JG により調整試験動作の完了を報知し、テスト回路等からの試験信号 TS の供給を止めることも可能である。

【 0 0 6 6 】

図 9 に第 2 実施形態の具体例についての要部回路図を示す。カウンタ回路 7 3 A から調整信号 $CAD<m:0>$ として 2 ビットの信号 ($m=1$) が出力される場合を示している。発振回路 7 2 A は、外部端子 $T15A$ から入力される試験信号 TS がナンドゲートの一方の入力端子にイネーブル信号として入力されている。すなわち、ハイレベルの試験信号 TS によりナンドゲートは論理反転ゲートとなり、他方の入力端子に接続されているインバータゲート列と共に、リングオシレータを構成する。

【 0 0 6 7 】

カウンタ回路 7 3 A は、フリップフロップがカスケード接続されたカウンタ回

路である。最下位ビットのフリップフロップのクロック端子（CLK）に発振信号CLKが入力される。各フリップフロップから調整信号CAD<1:0>が出力される。調整信号CAD<1:0>は、マルチプレクサ51に供給されると共に、メモリ回路42Aに供給される。

【0068】

メモリ回路42Aは、調整信号CAD<1:0>のビットごとにメモリセルとしてラッチ部L0、L1を備えている。入力された調整信号CAD<1:0>は、トランスファゲートSC0、SC1を介してラッチ部L0、L1に接続される。トランスファゲートSC0、SC1は、発振信号CLKと判定信号JGとの論理積演算結果に応じて導通制御される。具体的には、発振信号CLKの出力に応じて更新された調整信号CAD<1:0>により、内部電源電圧V_{II}が所定値であると判定される際、判定信号JGとしてハイレベル信号を出力する。ハイレベルの判定信号JGと発振信号CLKのハイレベル期間との論理積により、トランスファゲートSC0、SC1が導通して調整信号CAD<1:0>がメモリ回路42Aのラッチ部L0、L1に格納される。ラッチ部に格納された調整信号CAD<1:0>は、所定信号MS<1:0>としてマルチプレクサ51に供給される。

【0069】

第2実施形態の具体例のうち図9に記載されていない回路構成については、第1実施形態の具体例（図4）に示す回路構成と同様であるので、ここでの説明は省略する。

【0070】

図10には、第2実施形態の具体例における動作波形を示す。試験信号TSがハイレベルに反転することにより調整試験が開始される。発振信号CLKの周期ごとにカウンタ回路73Aから出力される調整信号CAD<1:0>がインクリメントされる。調整信号CAD<1:0>に応じて、デコード信号D<0>乃至D<3>が順次選択され、内部電源電圧V_{II}が切り替わり、比較信号J<1:0>、判定信号JGが出力される動作については、第1実施形態の具体例（図5）の場合と同様である。第2実施形態の具体例では、判定信号JGのハイレベル

遷移に基づき、このとき、カウンタ回路 7 3 A から出力されている調整信号 C A D < 1 : 0 > をメモリ回路 4 2 A に書き込む。書き込まれた調整信号 C A D < 1 : 0 > は、所定信号 M S < 1 : 0 > として格納される。

【 0 0 7 1 】

第 2 実施形態の具体例では、試験信号 T S がハイレベルである調整試験の動作中、判定信号 J G がハイレベルになる時点で、メモリ回路 4 2 A への調整信号 C A D < 1 : 0 > の格納動作が行なわれる。図 1 0 では、メモリ回路 4 2 A への調整信号 C A D < 1 : 0 > の格納後も、調整信号 C A D < 1 : 0 > のインクリメントが継続され、調整試験が継続する場合を示している。判定信号 J G をデジタル信号として外部端子 T 1 2 A から出力することにより、格納動作の完了時点で試験信号 T S をローレベルに遷移して調整試験を終了する構成とすることもできる。

【 0 0 7 2 】

図 1 1 には、外部のテスト装置を使用し、内部電源電圧 V I I についてトリミング試験をして所定信号 M S < m : 0 > を格納する場合の試験フローを示す。ここで、カッコでくくった部分は半導体集積回路装置内での処理である。

【 0 0 7 3 】

トリミング試験の開始により、テスト装置において試験モードが設定される (S 1 1) 。試験信号 T S がハイレベルに反転されると共に、電源電圧 V D D を所定電圧値に固定する。ハイレベルの試験信号 T S を受けた半導体集積回路装置では、カウンタ回路がリセットされ、調整信号 C A D < 1 : 0 > が 0 に初期化される (S 1 2) 。その後、カウンタ回路からの出力信号である調整信号 C A D < 1 : 0 > がデコード信号 D < n : 0 > にデコードされ、内部電源電圧 V I I が出力される。更に所定値との間で比較、判定が行なわれる (S 1 3) 。

【 0 0 7 4 】

判定の結果として、外部端子から出力されるデジタル信号の判定信号 J G がローレベルを維持していれば (S 1 4 : N O) 、調整試験のタイムアウトを検出した上でタイムアウトに達していない場合には (S 1 5 : N O) 、半導体集積回路装置内での調整信号 C A D < 1 : 0 > のインクリメント動作に伴う内部電源電圧

V I I の比較、判定動作を継続する。タイムアウトに達した場合には (S 1 5 : Y E S)、この半導体集積回路装置は不良品と判断される (S 1 6)。

【 0 0 7 5 】

判定の結果として、判定信号 J G がハイレベルとなれば (S 1 4 : Y E S)、半導体集積回路装置内で、調整信号 C A D < 1 : 0 > がメモリデータとして格納される (S 1 7)。格納されたデータが所定信号 M S < 1 : 0 > である。この時点で、テスト装置は、試験信号 T S をローレベルに反転して調整試験を終了するようにしてもよい。

【 0 0 7 6 】

図 1 2 に示す内部電源電圧 V I I の調整についての第 3 実施形態の回路ブロック図は、自己診断試験 (B I S T) 回路 8 1 を備える半導体集積回路装置について、内部電源電圧 V I I の調整試験を B I S T 回路 8 1 による自己診断試験として実行する場合を示している。

【 0 0 7 7 】

また、所定信号 M S < m : 0 > を不揮発性メモリ回路 4 3 に格納する場合を示している。不揮発性メモリ回路 4 3 へのデータ書き込み時間は、調整信号 B A D < m : 0 > のインクリメント周期に比して長いことが一般的なので、格納する調整信号 B A D < m : 0 > を一時的に保持しておくラッチ回路 4 4 を備えている。調整信号 B A D < m : 0 > をラッチ回路 4 4 に保持した上で、不揮発性メモリ回路 4 3 に書き込む動作を行なう。

【 0 0 7 8 】

B I S T 回路 8 1 は、外部端子 T 1 5 から供給される試験信号 T S により自己診断試験を開始する。内部電源電圧 V I I の調整試験に対しては、調整試験信号 T S A D がマルチプレクサ 5 1 に出力される。合わせて、調整信号 B A D < m : 0 > が所定周期ごとに遷移して出力される。ここで、所定タイミングとは、内部電源回路 3 1 により内部電源電圧 V I I が更新され、判定部 1 1 により判定結果が判定信号 J G として出力される時間を含み、判定信号 J G に応じて調整信号 B A D < m : 0 > がラッチ回路 4 4 に取り込まれるまでの時間以上の時間である。

【 0 0 7 9 】

判定部 1 1 から出力される判定信号 J G は、ラッチ回路 4 4 に入力されて、ラッチ信号として機能すると共に、B I S T 回路 8 1 に入力されている。内部電源電圧 V I I が所定値になったことを示す判定信号 J G が入力されることにより、このときの調整信号 B A D < m : 0 > がラッチ回路 4 4 に取り込まれると共に、B I S T 回路 8 1 から、プログラム信号 P G M が不揮発性メモリ回路 4 3 に出力される。不揮発性メモリ回路 4 3 では、プログラム信号 P G M に基づいてラッチ回路 4 4 にラッチされている調整信号 B A D < m : 0 > を書き込む。合わせて、B I S T 回路 8 1 から出力される調整信号 B A D < m : 0 > の遷移動作が停止される。

【 0 0 8 0 】

図 1 3 に第 3 実施形態の具体例についての要部回路図を示す。B I S T 回路 8 1 から調整信号 B A D < m : 0 > として 2 ビットの信号 (m = 1) が出力される場合を示している。B I S T 回路 8 1 から出力される調整信号 B A D < 1 : 0 > は、マルチプレクサ 5 1 に供給されると共に、ラッチ回路 4 4 A に供給される。

【 0 0 8 1 】

ラッチ回路 4 4 A は、メモリ回路 4 2 A (図 9) と同様な構成を備えている。調整信号 B A D < 1 : 0 > のビットごとにラッチ部を備え、入力された調整信号 B A D < 1 : 0 > は、トランスファゲートを介してラッチ部に接続される。トランスファゲートは、判定信号 J G に応じて導通制御される。すなわち、内部電源電圧 V I I が所定値であると判定される際のハイレベルの判定信号 J G により、トランスファゲートが導通して調整信号 B A D < 1 : 0 > がラッチ部に取り込まれる。ラッチ部に取り込まれた調整信号 B A D < 1 : 0 > は、プログラム信号 P G M に基づき、不揮発性メモリ回路 4 3 A のライト回路を介して不揮発性メモリセルに書き込まれる。

【 0 0 8 2 】

第 3 実施形態の具体例のうち図 1 3 に記載されていない回路構成については、第 1 実施形態の具体例 (図 4) に示す回路構成と同様であるのでここでの説明は省略する。

【 0 0 8 3 】

図 1 4 に仮想負荷部についての第 4 実施形態の第 1 具体例を示す回路図である。仮想負荷部 2 4 A として PMOS トランジスタ MP 2 が内部電源電圧 V_{II} と接地電圧との間に備えられている。また、PMOS トランジスタ MP 2 のゲート端子に負荷信号 V_G を供給するために負荷信号発生部 9 4 A が備えられている。

【 0 0 8 4 】

負荷信号発生部 9 4 A は、電源電圧 V_{DD} と接地電圧との間に PMOS トランジスタ MP 3 と抵抗素子列とが直列に接続されて構成されている。抵抗素子列の各接続点は、トランスファゲートを介して負荷信号 V_G として出力される。PMOS トランジスタ MP 3 のゲート端子は、インバータゲートを介して試験信号 T_S の反転信号が入力される。負荷設定信号 $LDS< i : 0 >$ は、外部端子 T 4 6 A からデジタル信号として入力される。入力された負荷設定信号 $LDS< i : 0 >$ は、デコード回路によりデコードされた上で、抵抗素子列の接続点ごとに備えられているトランスファゲートを択一に選択して導通する。

【 0 0 8 5 】

負荷信号 V_G として、電源電圧 V_{DD} と接地電圧との間の所定電圧が出力され、PMOS トランジスタ MP 2 がバイアスされる。PMOS トランジスタ MP 2 は、所定のバイアス状態で導通する定電流源として機能する。または、所定のオン抵抗を有する抵抗素子が内部電源電圧 V_{II} と接地電圧との間に接続されると見ることもできる。このオン抵抗に応じた電流が負荷電流として流れることとなる。

【 0 0 8 6 】

負荷設定信号 $LDS< i : 0 >$ に応じて、導通するトランスファゲートを切り替えることにより、負荷信号 V_G の電圧値を適宜に設定することができる。仮想負荷として流れる電流値を適宜に設定することができる。更に、負荷設定信号 $LDS< i : 0 >$ を動的に切り替えてやれば、実動作において時間と共に変化する内部電源電圧 V_{II} の負荷電流を擬似的に再現することができる。

【 0 0 8 7 】

図 1 5 に示す仮想負荷部についての第 4 実施形態の第 2 具体例では、仮想負荷部 2 4 B と負荷信号発生部 9 4 B とを備えている。仮想負荷部 2 4 B は、ラン

スファゲートを介して内部電源電圧 V_{II} と抵抗素子とを選択的に接続する構成である。トランスファゲートごとに異なる抵抗値を有する抵抗素子を備えている。これにより、選択されて導通するトランスファゲートに応じて異なる負荷を接続することができる。

【 0 0 8 8 】

負荷信号発生部 9 4 B は、デコード回路を備えて構成される。外部端子 T 4 6 A からデジタル信号として入力される負荷設定信号 $LDS<i:0>$ がデコードされる。デコード回路から出力されるデコード信号により仮想負荷部 2 4 B のトランスファゲートが選択される。

【 0 0 8 9 】

第 1 および第 2 具体例においては、負荷設定信号 $LDS<i:0>$ が外部端子 T 4 6 A から入力されるものとして示したが、半導体集積回路装置の内部で生成するように構成することもできる。

【 0 0 9 0 】

図 1 6 に示す動作波形は、内部電源電圧 V_{II} の調整について隣り合う 2 組の調整信号 $XAD<1:0>$ （ここで、X は、“E”、“C”、“B”のいずれかを示す。）において、内部電源電圧 V_{II} が所定値になる場合である。ハイレベルの判定信号 J G が連続する 2 周期で出力される。具体的には、調整信号（ $XAD<1>$ 、 $XAD<0>$ ）=（1、0）の場合に $V_{II} = V_{II0}$ となり、所定値の電圧値領域の下限電圧値に一致する。更に、調整信号（ $XAD<1>$ 、 $XAD<0>$ ）=（1、1）の場合に $V_{II} = V_{II1}$ となり、所定値の電圧値領域の上限電圧値に一致する。図 1 6 では、連続する 2 周期において内部電源電圧 V_{II} が所定値になる場合を示したが、3 周期以上の間、内部電源電圧 V_{II} が所定値になる場合も考えられる。

【 0 0 9 1 】

これらの場合には、判定信号 J G がハイレベルとなる最初の周期での調整信号 $XAD<1:0>$ を格納する設定としておけば、判定信号 J G が複数周期に渡ってハイレベルになる場合にも、的確な調整信号 $XAD<1:0>$ を格納することができる。

【 0 0 9 2 】

以上詳細に説明したとおり、本実施形態に係る半導体集積回路装置、およびその調整方法では、半導体集積回路装置に判定部 1、11 が備えられ、半導体集積回路装置の内部で判定ステップが行なわれる。調整信号 $XAD<m:0>$ (Xは、“E”、“C”、“B”のいずれかを示す。) ごとに、アナログ信号発生部 3 の 1 例である内部電源回路 31、31A から出力されるアナログ信号の内部電源電圧 V_{II} が所定値と比較判定される。従って、半導体集積回路装置の内部で内部電源電圧 V_{II} の判定を行なうことができる。

【 0 0 9 3 】

また、内部電源電圧 V_{II} を半導体集積回路装置の外部端子に出力する必要がない。このため、半導体集積回路装置において、内部電源電圧 V_{II} の出力用外部端子の配置、および出力用外部端子への内部電源電圧 V_{II} の配線は不要となる。アナログ配線の設計に伴う配慮が不要となり半導体集積回路装置の設計負荷を軽減することができる。

【 0 0 9 4 】

また、内部電源電圧 V_{II} が外部端子から出力されないため、アナログ信号に対する試験は不要である。デジタルインターフェースの外部端子に対してデジタル試験機能を有するテスト装置を備えてやればよい。デジタル機能とアナログ機能との両機能を実現する複雑なテスト装置を備える必要ない。更に、デジタル機能とアナログ機能との試験条件の切り替え等が不要となり、切り替えに伴う試験時間のオーバーヘッドを低減することができる。試験コストの低減を図ることができる。

【 0 0 9 5 】

また、所定値を設定する基準電圧 V_{II0} および V_{II1} 、 V_{II0} 乃至 V_{II3} はアナログ値であり、比較器 12A、12B に備えられる抵抗素子列 $RC0$ 乃至 $RC2$ 、 $RC0$ 乃至 $RC4$ により、外部端子 $T13A$ から供給される電源電圧 V_{DD} を分圧して得られる。調整試験時において電源電圧 V_{DD} を所定電圧値に設定しておけば、専用の外部端子から所定値設定用のアナログ値を入力する必要はない。

【 0 0 9 6 】

また、所定値とは、第 1 および第 2 比較基準値である、基準電圧 V_{II0} および V_{II1} (図 4 の場合)、または基準電圧 V_{II1} および V_{II2} (図 7 の場合) に挟まれた所定電圧値領域である。更に、2 以上の比較基準値である基準電圧 V_{II0} および V_{II1} 、 V_{II0} 乃至 V_{II3} により区画された電圧値領域のうち何れの領域に内部電源電圧 V_{II} が存在するかを判定することができる。これにより、内部電源電圧 V_{II} と所定値との差異を把握することができ、判定信号 JG 、 $JG < 2 : 0 >$ に応じて調整信号を遷移させて速やかに所定値に近づけることができる。

【 0 0 9 7 】

また、判定部 1、11 は、内部電源電圧 V_{II} を基準電圧ごとに比較する複数の比較部 $C0$ および $C1$ (図 4 の場合)、または $C0$ 乃至 $C3$ (図 7 の場合) と、複数の比較部からの比較信号が入力され、内部電源電圧 V_{II} がどの電圧値領域にあるかを識別するエンコード部 13A、13B とを備えることが好ましい。これにより、エンコード信号である判定信号 JG 、 $JG < 2 : 0 >$ は、電圧値領域を識別することができるビット数のデジタル信号を備えてやればよく、必要最小限のビット数のデジタル信号により判定結果を表わすことができる。判定信号 JG を出力する外部端子については、必要最小限の端子数を確保すればよい。

【 0 0 9 8 】

所定信号記憶部としてヒューズ素子またはメモリ素子を備えるヒューズ回路 (またはメモリ回路) 41、41A への所定信号 $FS < m : 0 >$ の格納を、テスト装置等の外部制御により別途行なうことができる。テスト装置による一連の試験が完了した以後に、格納動作を行なうことができる。

【 0 0 9 9 】

また、所定信号記憶部としてメモリ回路 (ヒューズ回路) 42、42A、43、43A で構成されていれば、判定信号 JG に基づいて半導体集積回路装置の内部で制御信号を生成することにより、調整信号 $CAD < m : 0 >$ 、 $BAD < m : 0 >$ のメモリ素子への書き込み動作を実行することができる。また、半導体集積回路装置の内部に電氣的にヒューズ素子を切断する回路構成を備えることにより

、判定信号 J G に基づいて、調整信号 C A D < m : 0 >、B A D < m : 0 > に応じたヒューズ素子を切断することができる。

【 0 1 0 0 】

また、メモリ素子には、メモリ回路 4 2 A のように、S R A M や D R A M 等を使用される揮発性のメモリセルで構成することができる。また、メモリ回路 4 3、4 3 A のように、フラッシュメモリ等に備えられている電氣的に書き換え可能な不揮発性メモリセルで構成することもできる。更に、メモリセルの構成に代えてレジスタやフリップフロップ等のデータ保持機能を有する回路構成により実現することもできる。

【 0 1 0 1 】

また、仮想負荷部 2 4 A、2 4 B を備えて仮想負荷ステップを行なうので、内部電源電圧 V I I の調整の際、適宜に仮想的な負荷を接続することができる。デジタル機能や他のアナログ機能といった半導体集積回路装置内部における各種の動作状態を、擬似的に再現することができる。実動作に近い負荷状態で内部電源電圧 V I I の調整を行なうことができる。

【 0 1 0 2 】

尚、本発明は前記実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲内で種々の改良、変形が可能であることは言うまでもない。

例えば、本実施形態においては、アナログ信号発生部として内部電源回路を例にとり、アナログ信号として内部電源電圧 V I I を調整する場合について説明したが、本発明はこれに限定されるものではなく、バイアス電圧やバイアス電流等のその他のアナログ信号について、アナログ値を調整する必要がある場合に同様に適用することができる。

この場合、仮想負荷部としては、負荷として電流源を接続する場合の他、電圧源やアナログ信号経路上のインピーダンス成分を接続する構成とすることもできる。

また、第 4 実施形態においては、仮想負荷部として P M O S トランジスタや抵抗素子を接続する場合について説明したが、本発明はこれに限定されるものではなく、N M O S トランジスタや、ジャンクショントランジスタやバイポーラトラ

ンジスタ、ダイオード、キャパシタ素子等、その他の能動素子や受動素子、またこれらの素子の適宜な組み合わせにより構成することができることは言うまでもない。

【 0 1 0 3 】

ここで、本発明に関する技術思想を以下に列記する。

(付記 1) アナログ信号を出力するアナログ信号発生部と、前記アナログ信号発生部に供給され前記アナログ信号を所定値に設定する所定信号が格納される所定信号記憶部とを備え、外部端子への入出力インターフェースがデジタル信号により行われる半導体集積回路装置において、

前記アナログ信号を調整する際、

試験信号に応じて前記アナログ信号発生部に供給される調整信号ごとに、前記調整信号に対応する前記アナログ信号と、電源電圧に基づき生成される前記所定値との比較結果を判定信号として出力する判定部を備え、

前記判定信号により前記アナログ信号が前記所定値であると判定された際の前記調整信号を、前記所定信号として前記所定信号記憶部に格納することを特徴とする半導体集積回路装置。

(付記 2) 前記試験信号により制御され、前記調整信号または前記所定信号のいずれかを前記アナログ信号発生部に供給する信号選択部を備えることを特徴とする付記 1 に記載の半導体集積回路装置。

(付記 3) 前記調整信号または前記所定信号は、2 ビット以上のデジタル信号であり、前記アナログ信号発生部の前段に備えられるデコード部に入力されることを特徴とする付記 1 に記載の半導体集積回路装置。

(付記 4) 前記所定値とは、第 1 および第 2 比較基準値に挟まれた所定アナログ値領域であり、

前記判定信号は、前記第 1 および第 2 比較基準値を含む 2 以上の比較基準値により区画されたアナログ値領域のうち何れの領域に前記アナログ信号が存在するかを判定することを特徴とする付記 1 に記載の半導体集積回路装置。

(付記 5) 前記判定部は、

前記アナログ信号を前記 2 以上の比較基準値ごとに比較する複数の比較部と、

前記複数の比較部の出力信号が入力され、前記アナログ信号が存在する前記アナログ値領域を識別して、エンコード信号を出力するエンコード部とを備えることを特徴とする付記 4 に記載の半導体集積回路装置。

(付記 6) 前記 2 以上の比較基準値は、電源電圧を、降圧、または／および分圧して得られることを特徴とする付記 4 に記載の半導体集積回路装置。

(付記 7) 前記アナログ信号発生部は内部電源電圧発生部であり、
前記アナログ信号として内部電源電圧を出力することを特徴とする付記 1 に記載の半導体集積回路装置。

(付記 8) 前記所定信号記憶部はメモリ素子またはヒューズ素子を備え、
前記判定信号に基づき前記半導体集積回路装置の内部において制御され、前記メモリ素子への書き込みまたは前記ヒューズ素子の切断が行なわれることを特徴とする付記 1 に記載の半導体集積回路装置。

(付記 9) 前記判定信号はデジタル信号であり、前記外部端子から出力されることを特徴とする付記 1 に記載の半導体集積回路装置。

(付記 1 0) 前記所定信号記憶部はヒューズ素子またはメモリ素子を備え、
出力された前記判定信号に対する外部制御に基づき、前記ヒューズ素子の切断または前記メモリ素子への書き込みが行なわれることを特徴とする付記 9 に記載の半導体集積回路装置。

(付記 1 1) 前記試験信号により活性化制御され、前記調整信号を順次出力する調整信号発生部を備えることを特徴とする付記 1 に記載の半導体集積回路装置。

(付記 1 2) 前記調整信号発生部は、
所定周波数の発振信号を出力する発振部と、
前記発振信号をカウントし、前記所定周波数に基づく一定周期で前記調整信号を遷移して出力するカウンタ部とを備えることを特徴とする付記 1 1 に記載の半導体集積回路装置。

(付記 1 3) 所定内部回路に対する所定試験を前記半導体集積回路装置内部で実行する自己診断試験回路を備え、

前記アナログ信号の調整試験は、前記自己診断試験回路の 1 試験として実行さ

れることを特徴とする付記 1 に記載の半導体集積回路装置。

(付記 1 4) 前記試験信号、前記調整信号および前記判定信号は、前記自己診断試験回路に入出力されることを特徴とする付記 1 3 に記載の半導体集積回路装置。

(付記 1 5) アナログ信号を出力するアナログ信号発生部と、前記アナログ信号発生部に供給され前記アナログ信号を所定値に設定する所定信号が格納される所定信号記憶部とを備え、外部端子への入出力インターフェースがデジタル信号により行われる半導体集積回路装置において、

供給される負荷設定信号に応じて、前記アナログ信号に対する負荷を可変する仮想負荷部を備えることを特徴とする半導体集積回路装置。

(付記 1 6) 前記アナログ信号発生部は内部電源電圧発生部であり、前記アナログ信号として内部電源電圧を出力し、

前記負荷は、負荷電流を生成する電流源回路であることを特徴とする付記 1 5 に記載の半導体集積回路装置。

(付記 1 7) 格納された所定信号に基づき、所定値のアナログ信号を生成すると共に、外部への入出力インターフェースがデジタル信号により行われる半導体集積回路装置の調整方法において、

前記アナログ信号を調整する際、

調整信号に対応する前記アナログ信号を生成する信号生成ステップと、

前記半導体集積回路装置の内部において行なわれ、生成された前記アナログ信号と、電源電圧に基づき生成される前記所定値との比較結果を判定する判定ステップと、

前記判定ステップにより前記アナログ信号が前記所定値であると判定された際、前記調整信号を前記所定信号として格納する格納ステップとを有することを特徴とする半導体集積回路装置の調整方法。

(付記 1 8) 前記調整信号は段階的に遷移し、前記調整信号ごとに、前記信号生成ステップおよび前記判定ステップが繰り返されることを特徴とする付記 1 7 に記載の半導体集積回路装置の調整方法。

(付記 1 9) 前記格納ステップは、前記半導体集積回路装置の内部において行

なわれることを特徴とする付記 1 7 に記載の半導体集積回路装置の調整方法。

(付記 2 0) 前記比較結果の判定は、デジタル信号として前記外部端子から出力されることを特徴とする付記 1 7 に記載の半導体集積回路装置の調整方法。

(付記 2 1) 前記格納ステップは、前記半導体集積回路装置の外部において制御されることを特徴とする付記 2 0 に記載の半導体集積回路装置の調整方法。

(付記 2 2) 前記格納ステップは、

前記アナログ信号が前記所定値であると判定された際の前記調整信号を前記所定信号として取得する信号取得ステップと、

取得された前記所定信号を前記所定信号記憶部に書き込む書き込みステップとを有することを特徴とする付記 2 1 に記載の半導体集積回路装置の調整方法。

(付記 2 3) 格納された所定信号に基づき、所定値のアナログ信号を生成すると共に、外部への入出力インターフェースがデジタル信号により行われる半導体集積回路装置の調整方法において、

負荷設定信号に応じて前記アナログ信号に対する負荷を可変する仮想負荷ステップを有することを特徴とする半導体集積回路装置の調整方法。

【 0 1 0 4 】

【発明の効果】

本発明によれば、半導体集積回路装置、および半導体集積回路装置の調整方法について、半導体集積回路装置に内蔵された内部電源回路等のアナログ信号発生部から出力されるアナログ信号の調整をする際、アナログ信号と所定値との比較判定結果を半導体集積回路装置の外部に出力することなく調整することができる。また、比較判定結果をデジタル信号に変換して外部端子から出力することもでき、外部のテスト装置や試験方法を簡略化して調整試験を的確、迅速に行なうことができる。更に、負荷設定信号に応じてアナログ信号に擬似的な負荷を接続することができるので、半導体集積回路装置の実動作と同等な負荷状態においてアナログ信号の調整をすることができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 原理図である。

【図 2】

本発明の第 2 原理図である。

【図 3】

第 1 実施形態の回路ブロック図である。

【図 4】

第 1 実施形態の具体例の回路図である。

【図 5】

第 1 実施形態の具体例の動作波形図である。

【図 6】

第 1 実施形態のトリミング試験フローである。

【図 7】

判定部の変形例の回路図である。

【図 8】

第 2 実施形態の回路ブロック図である。

【図 9】

第 2 実施形態の具体例の要部回路図である。

【図 1 0】

第 2 実施形態の具体例の動作波形図である。

【図 1 1】

第 2 実施形態のトリミング試験フローである。

【図 1 2】

第 3 実施形態の回路ブロック図である。

【図 1 3】

第 3 実施形態の具体例の要部回路図である。

【図 1 4】

第 4 実施形態の第 1 具体例の回路図である。

【図 1 5】

第 4 実施形態の第 2 具体例の回路図である。

【図 1 6】

複数判定された場合の動作波形図である。

【図 1 7】

従来技術の回路図である。

【図 1 8】

従来技術トリミング試験フローである。

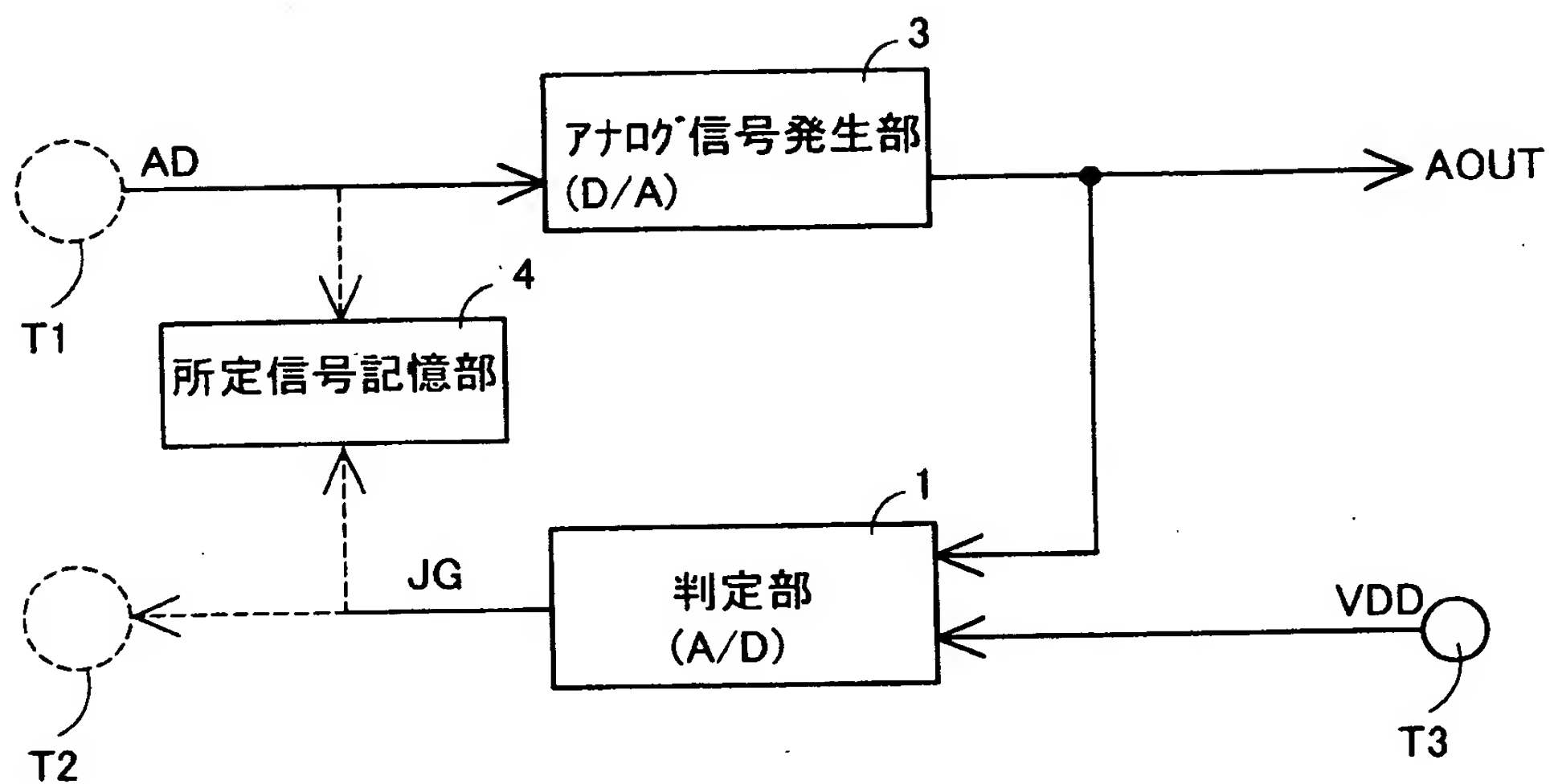
【符号の説明】

1、1 1	判定部
2、2 4 A、2 4 B	仮想負荷部
3	アナログ信号発生部
4	所定信号記憶部
1 2、1 2 A、1 2 B	比較部
1 3、1 3 A、1 3 B	エンコード部
3 1	内部電源回路
4 1	ヒューズ回路（またはメモリ回路）
4 1 A	ヒューズ回路
4 2	メモリ回路（またはヒューズ回路）
5 1、5 1 A	マルチプレクサ
6 1、6 1 A	デコード回路
7 1	調整信号発生部
7 2	発振回路
7 3、7 3 A	カウンタ回路
9 4 A、9 4 B	負荷信号発生部
F<1 : 0>	ヒューズ素子
T 1、T 1 1、T 1 1 A、T 1 1 B、T 2、T 1 2、T 1 2 A、T 3、T 1 3、 T 1 3 A、T 4、T 1 5、T 1 5 A	外部端子

【書類名】 図面

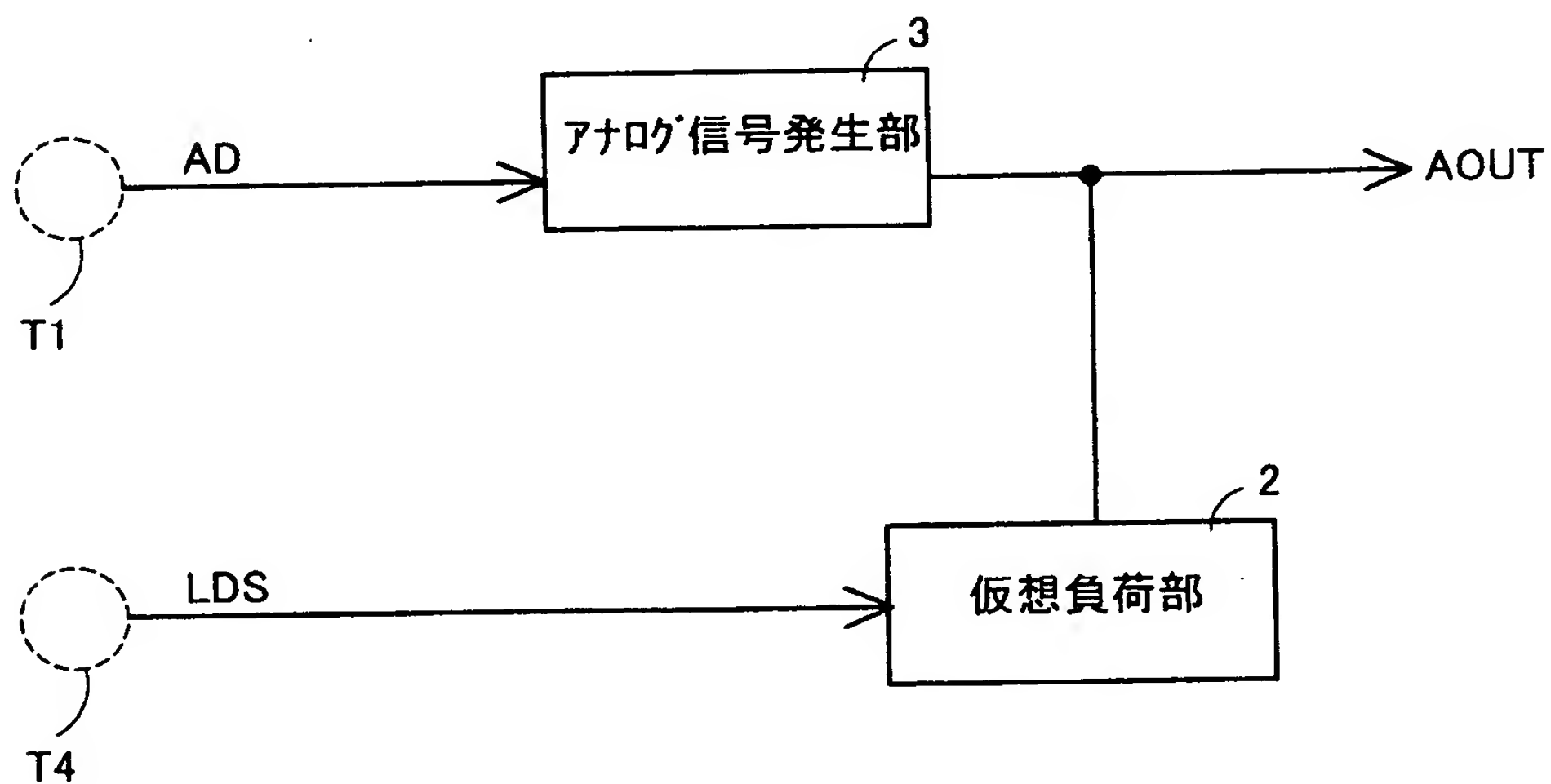
【図 1】

本発明の第1原理図



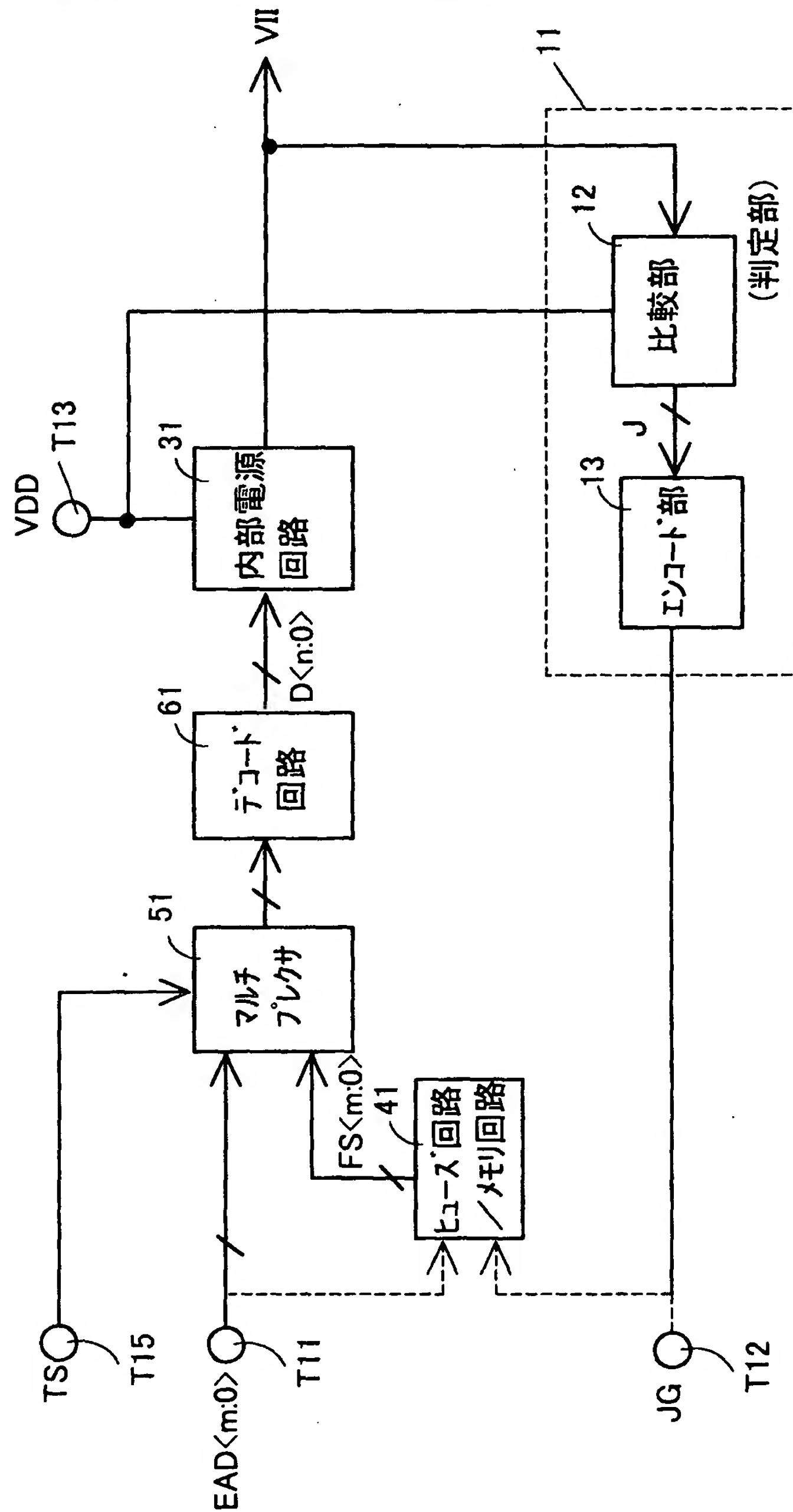
【図 2】

本発明の第2原理図



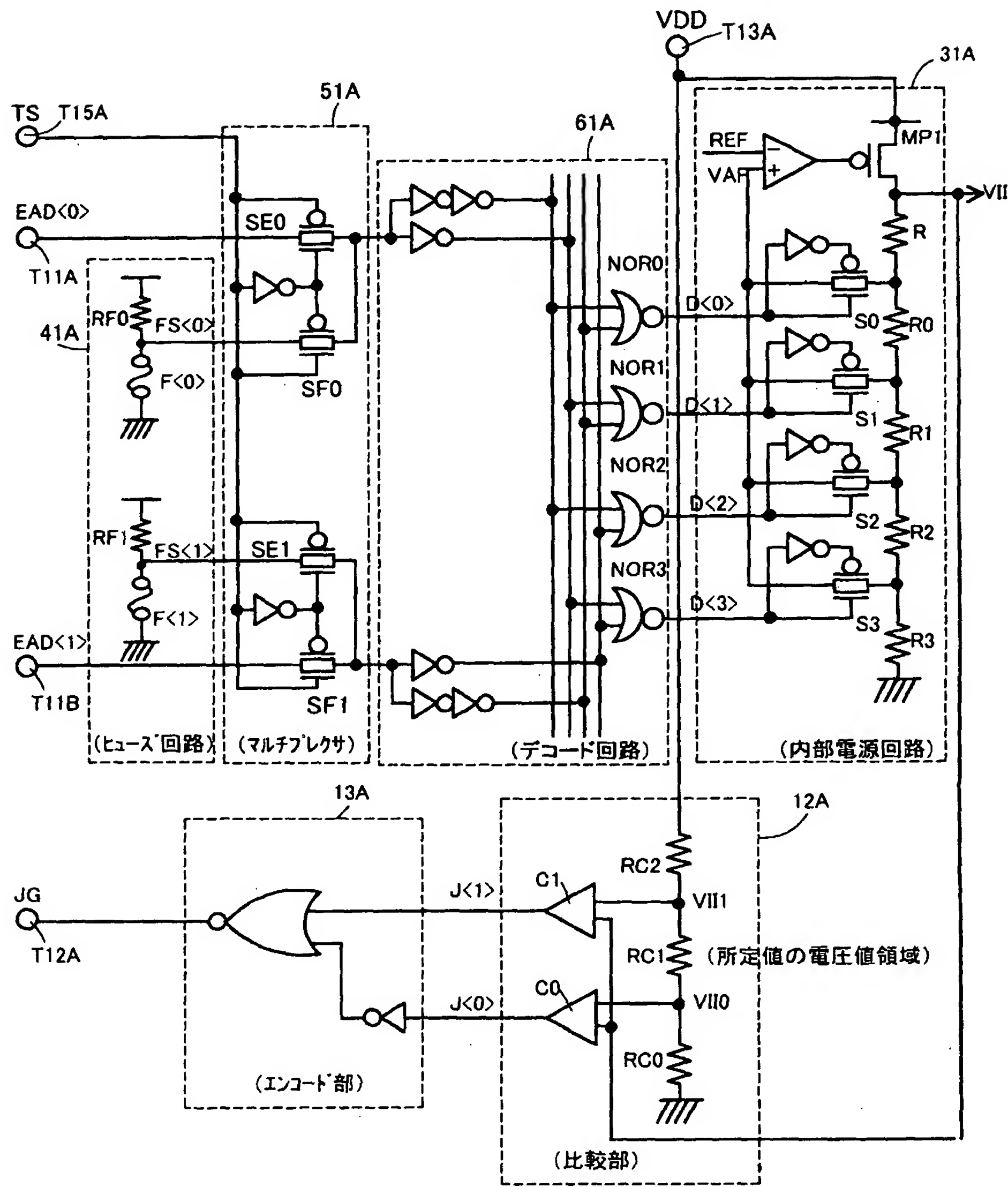
【図 3】

第1実施形態の回路ブロック図



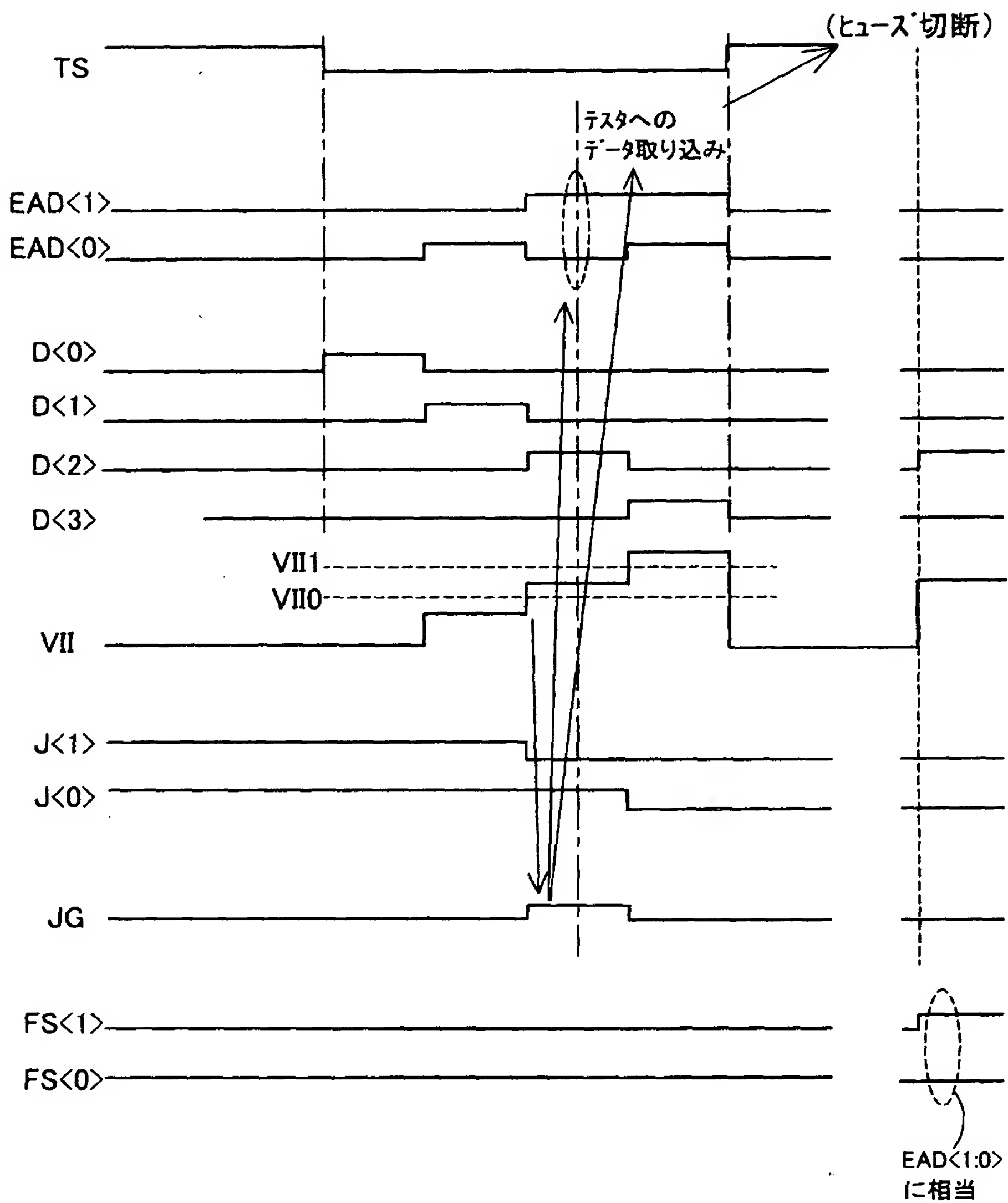
【図 4】

第1実施形態の具体例の回路図



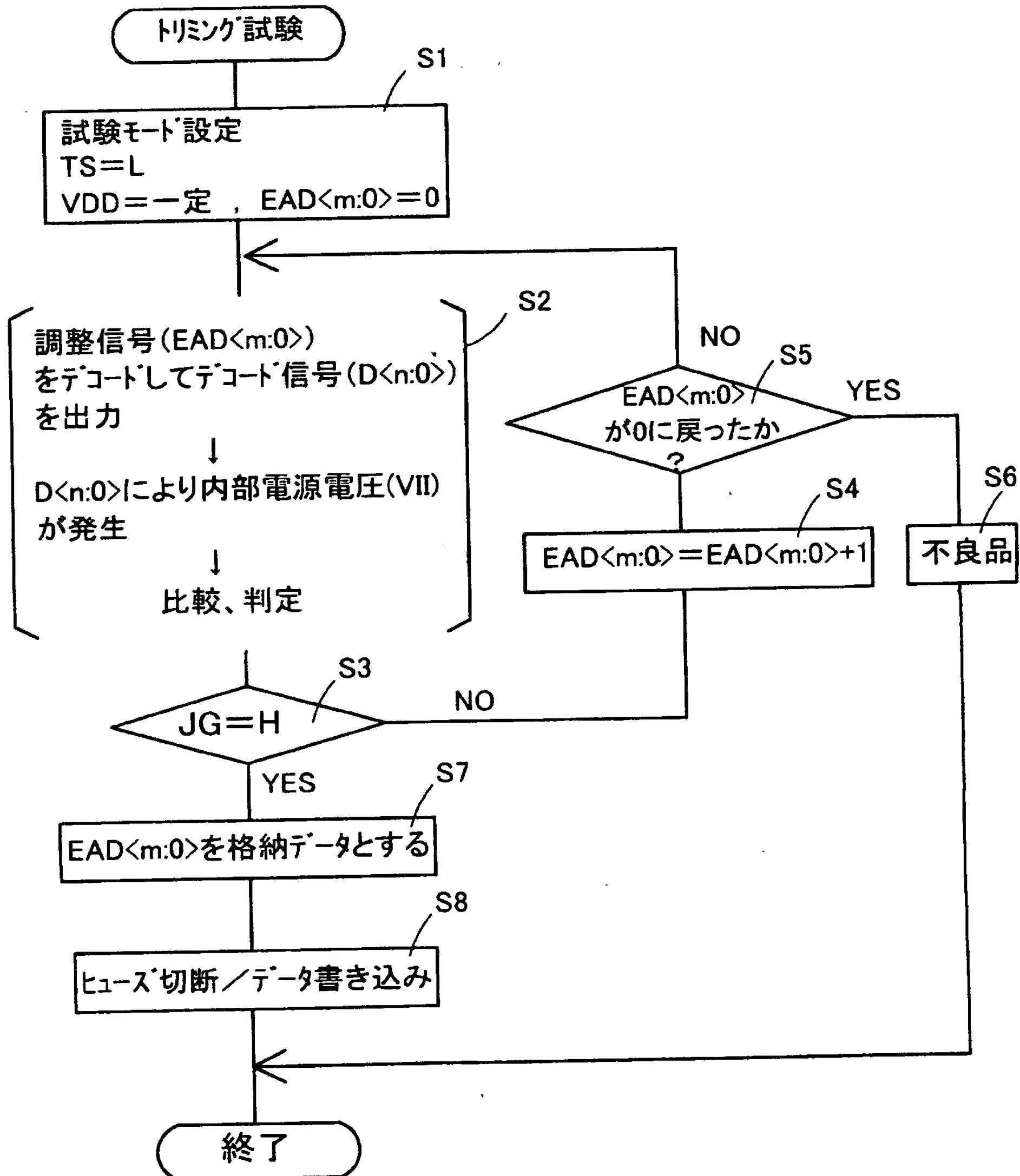
【図 5】

第1実施形態の具体例の動作波形



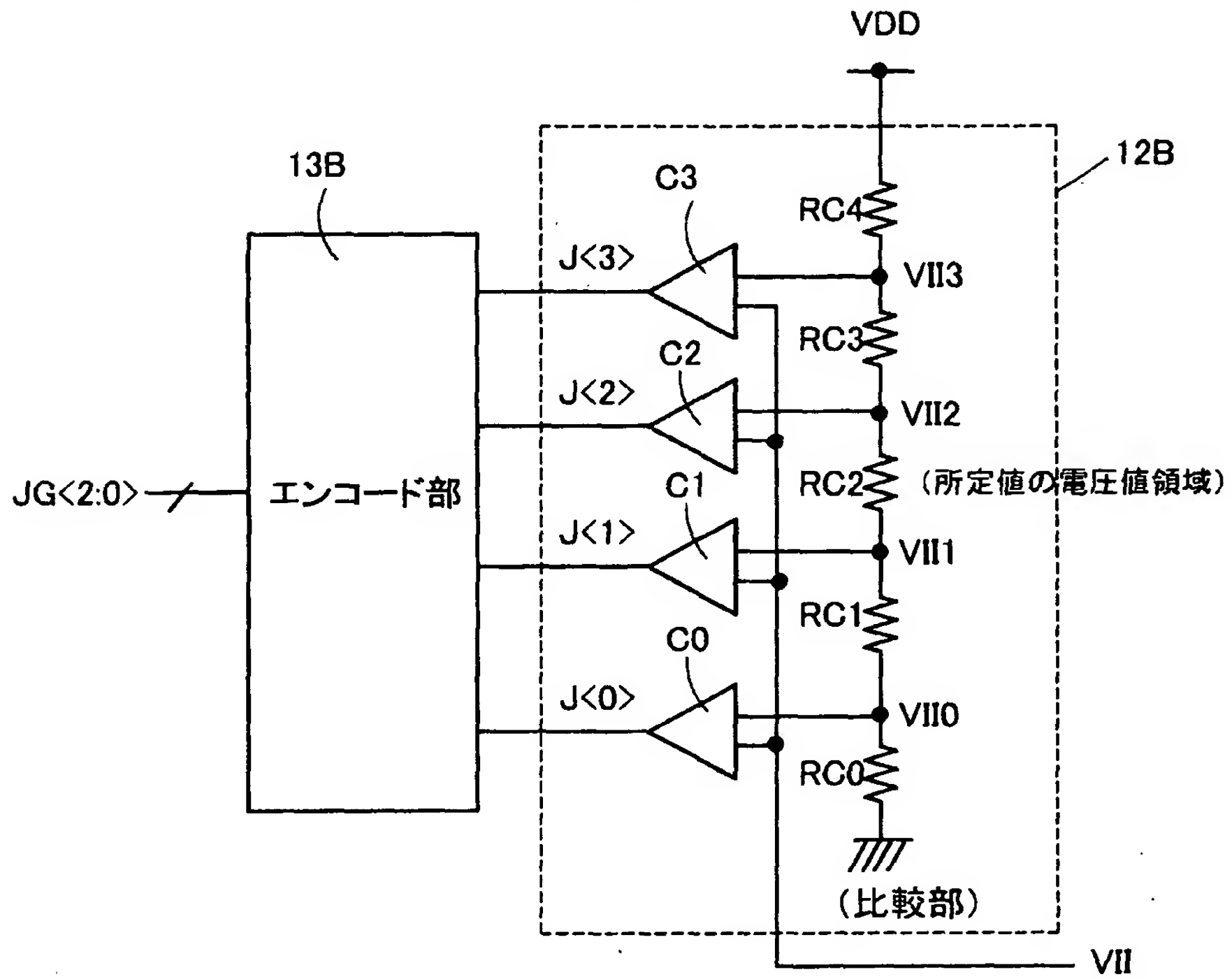
【図 6】

第1実施形態のトリミング試験フロー



【図 7】

判定部の変形例の回路図



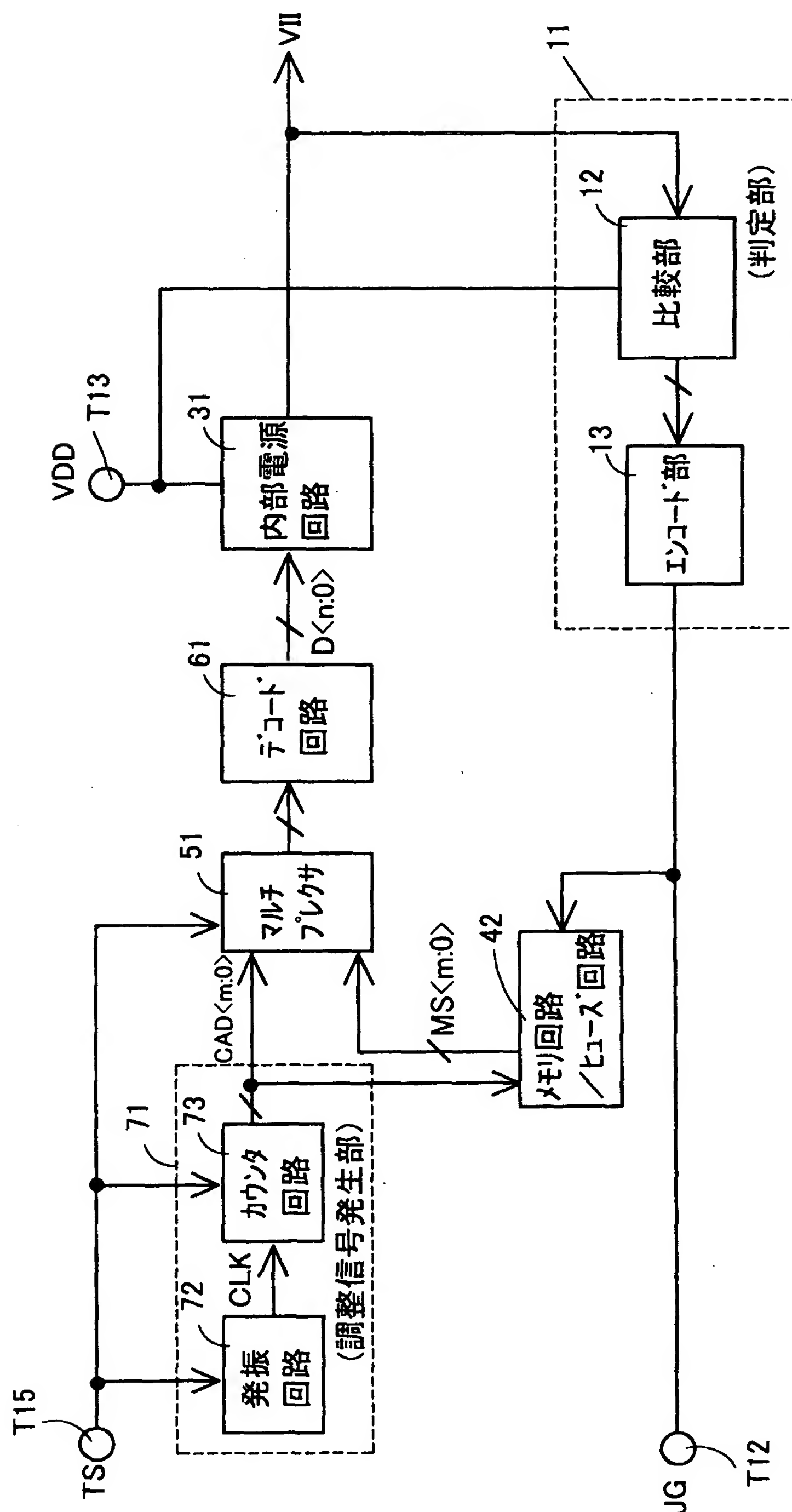
(エンコード表)

J<3>	J<2>	J<1>	J<0>	JG<2>	JG<1>	JG<0>
0	0	0	0	0	0	0
0	0	0	1	0	0	1
0	0	1	1	0	1	0
0	1	1	1	0	1	1
1	1	1	1	1	0	0

(所定値)

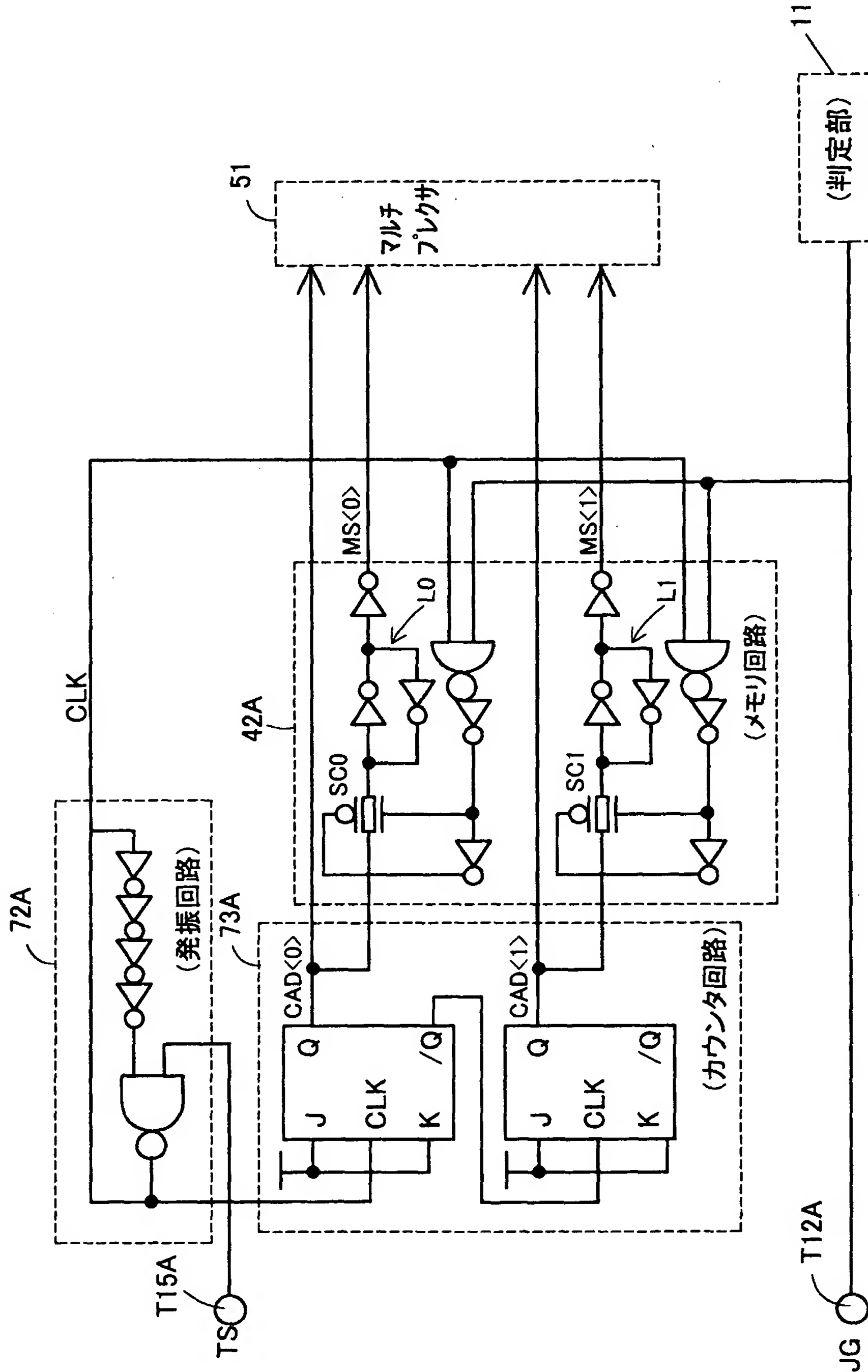
【図 8】

第2実施形態の回路ブロック図



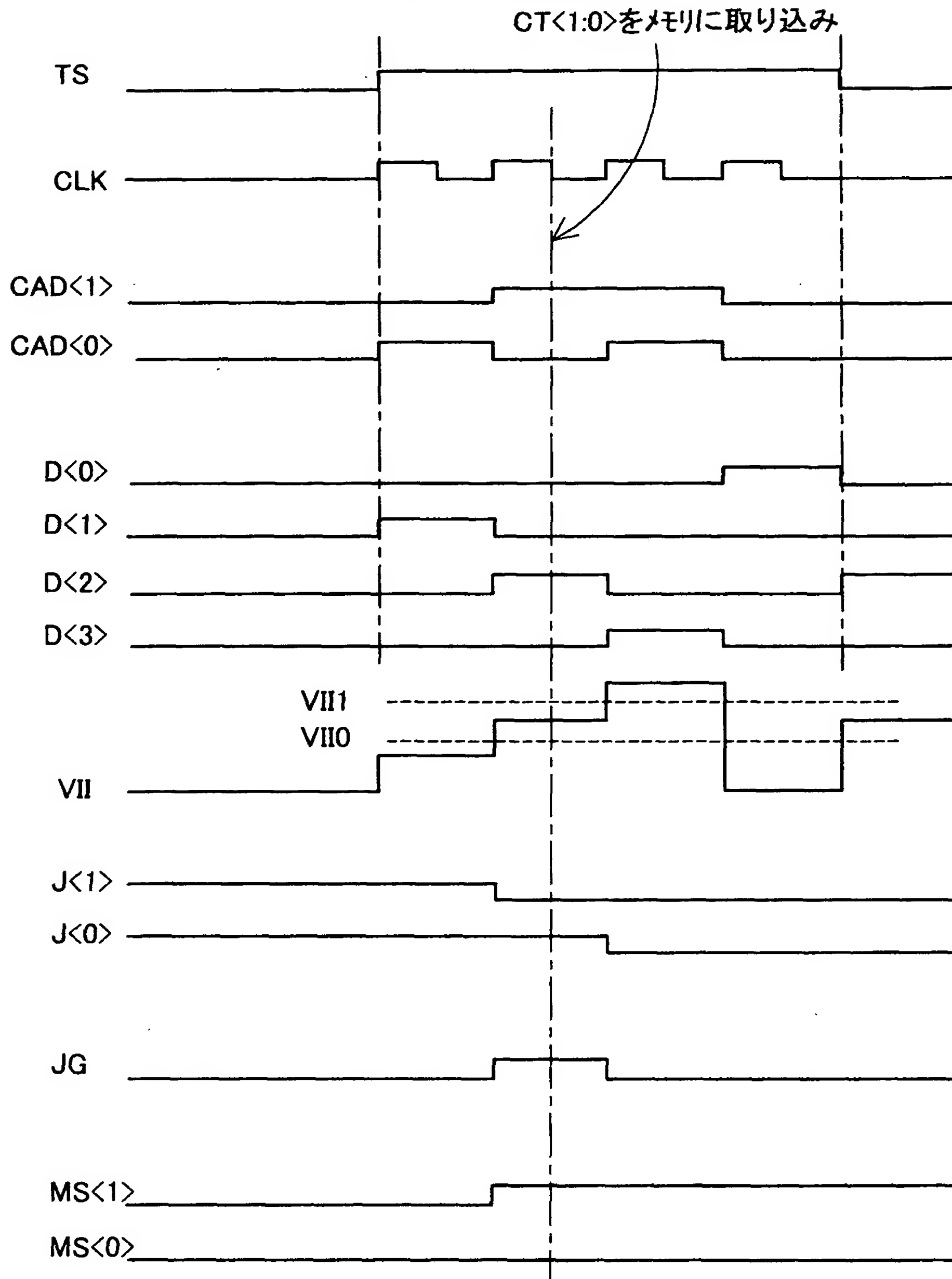
【図 9】

第2実施形態の具体例の要部回路図



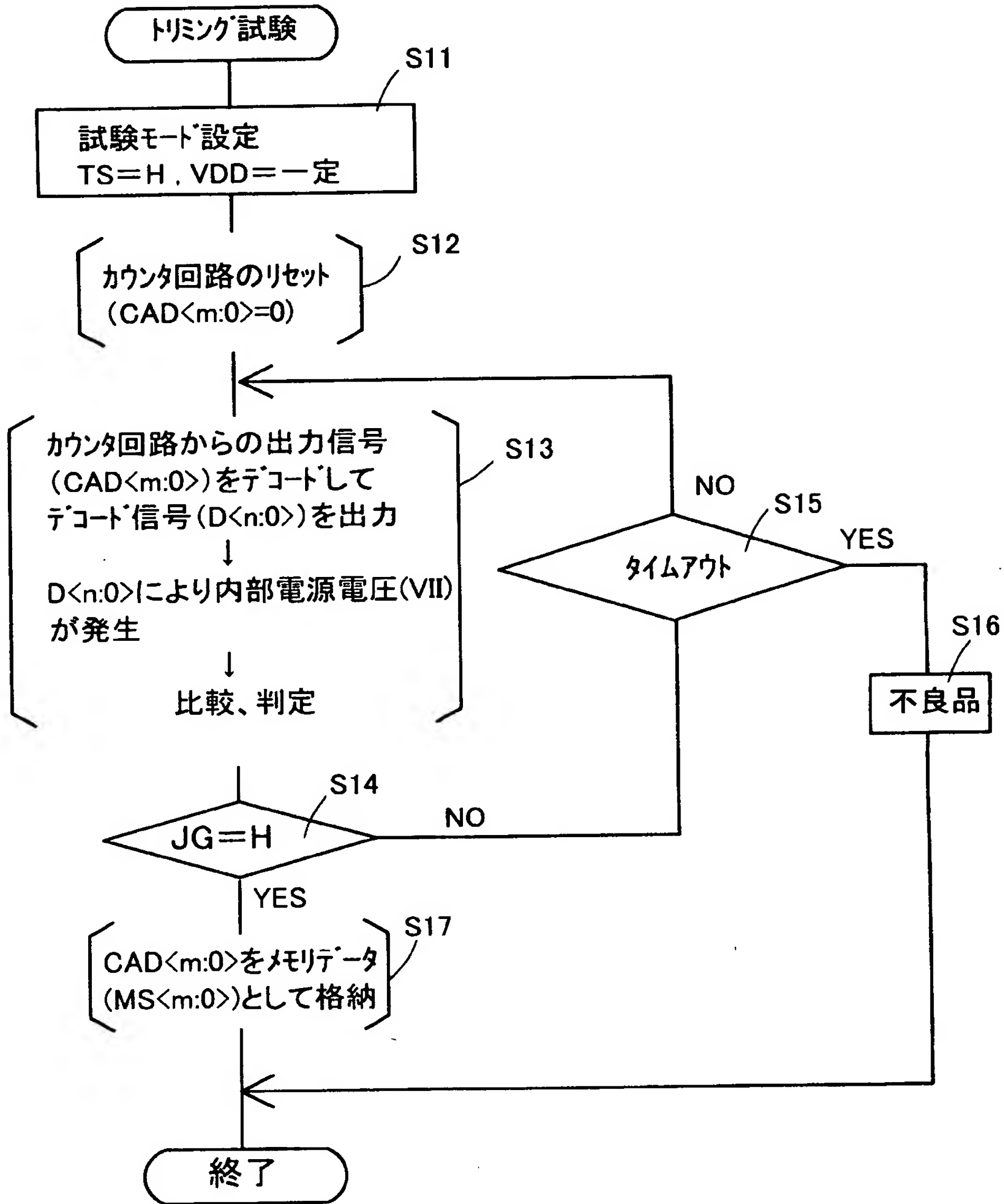
【図 1 0】

第2実施形態の具体例の動作波形



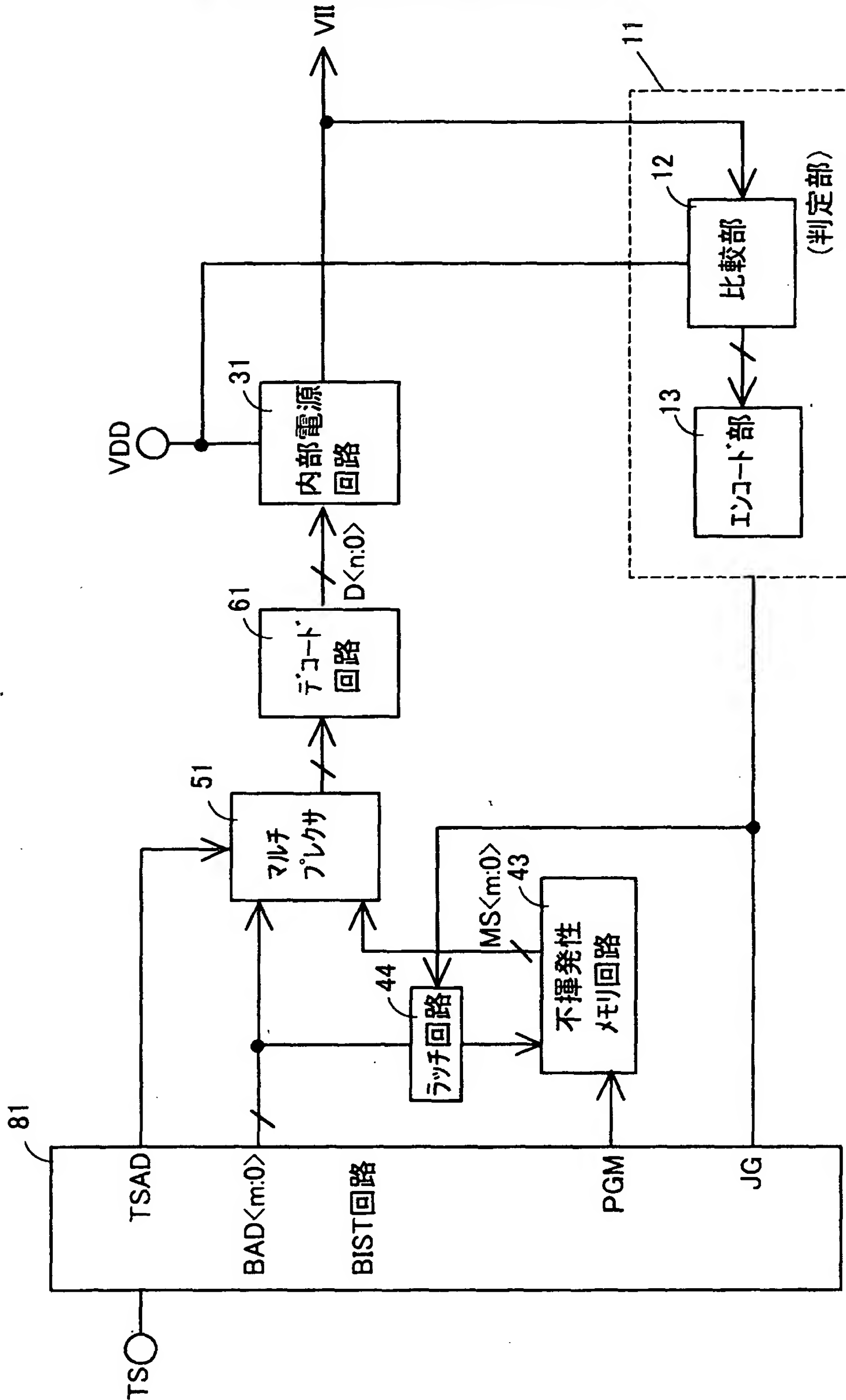
【図 1 1】

第2実施形態のトリミング試験フロー



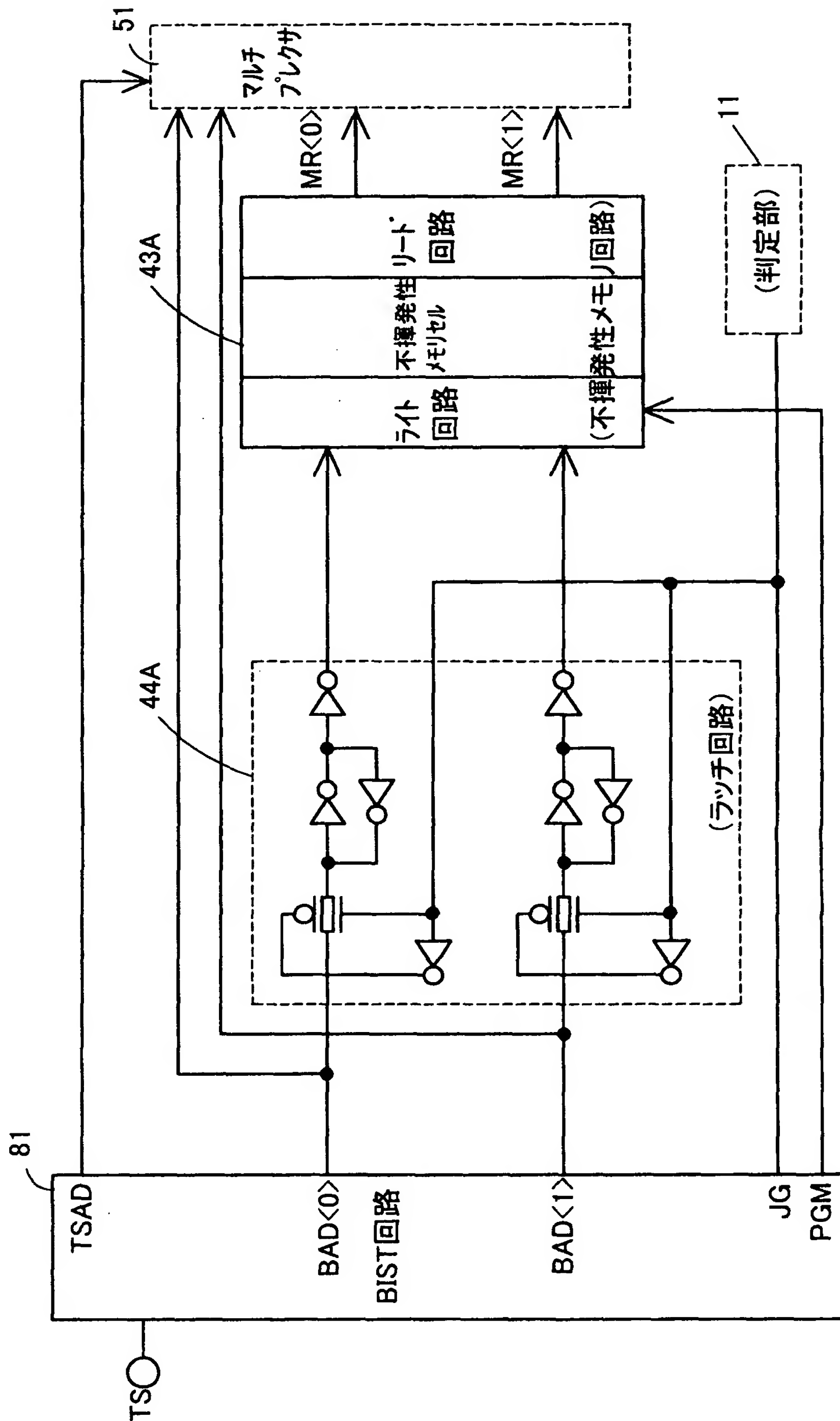
【図 1 2】

第3実施形態の回路ブロック図



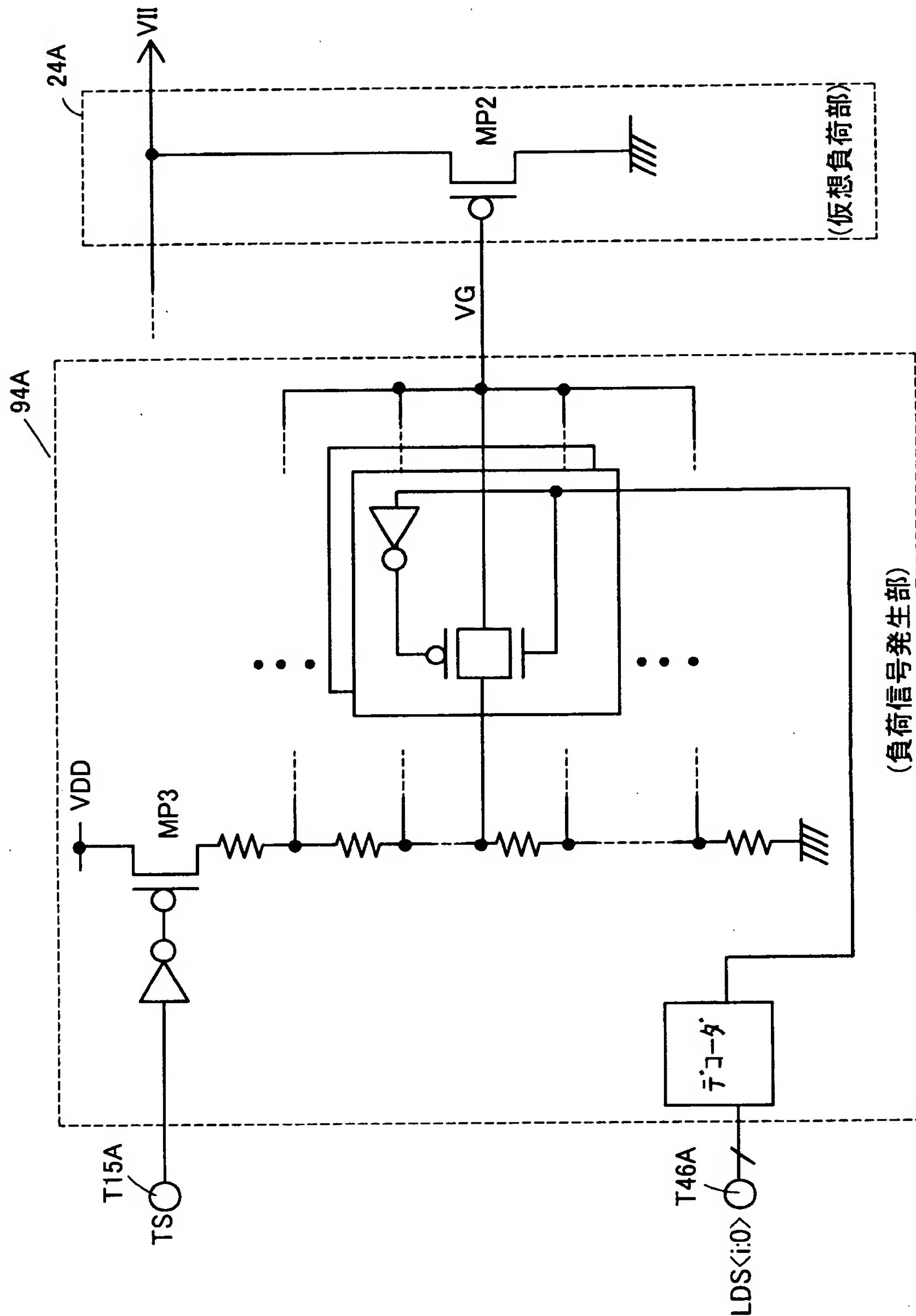
【図 1 3】

第3実施形態の具体例の要部回路図



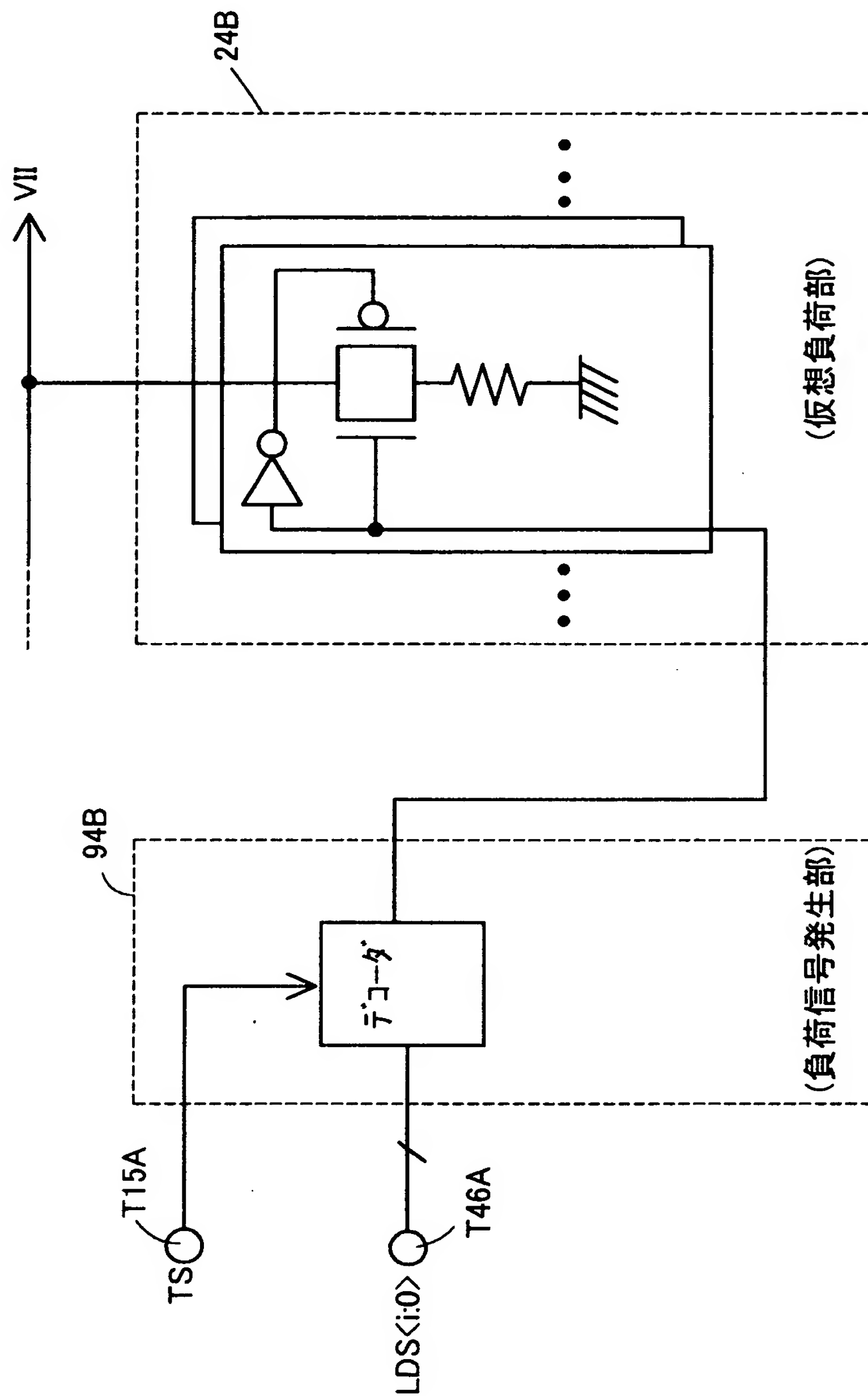
【图 14】

第4実施形態の第1具体例の回路図



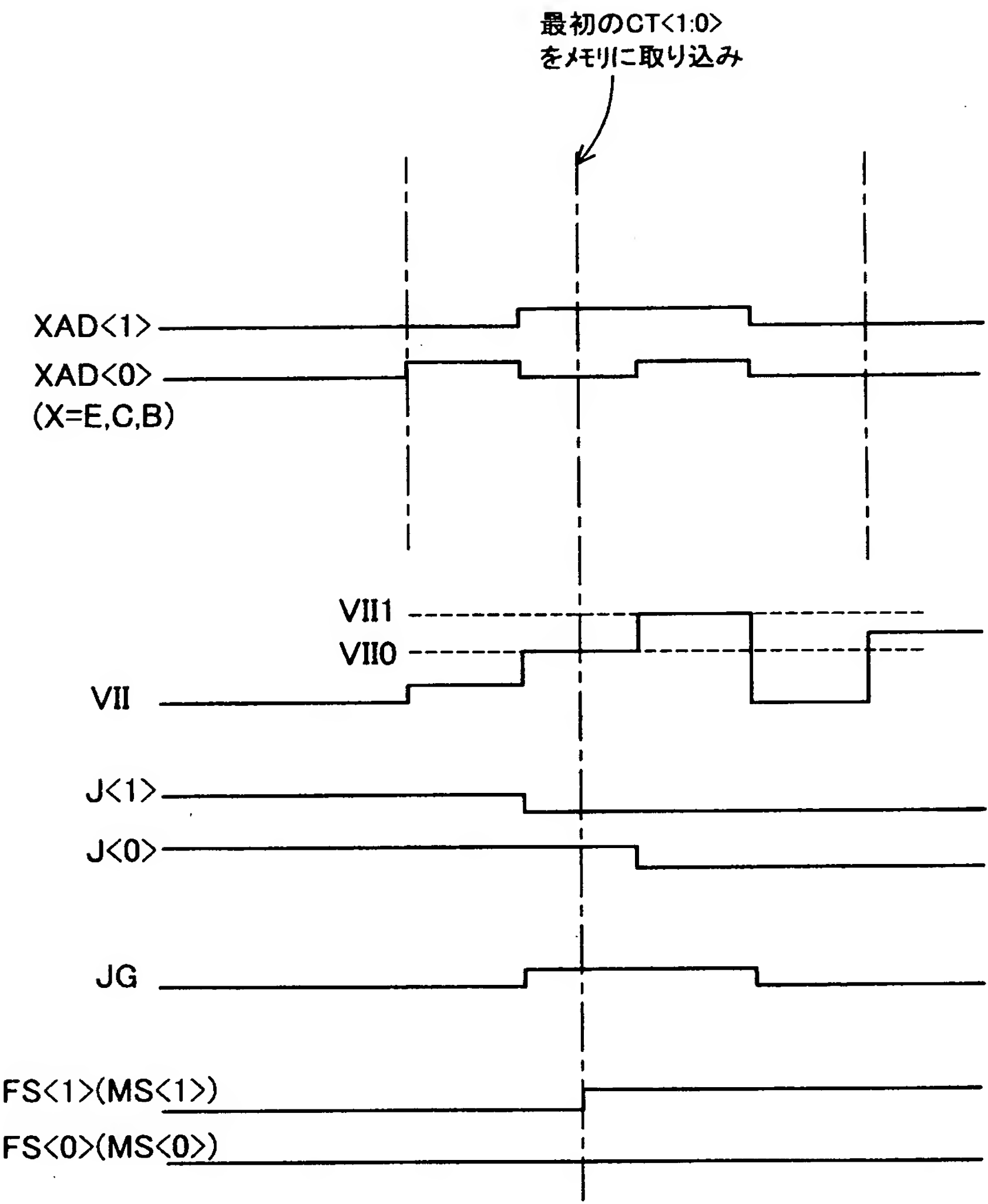
【図 1 5】

第4実施形態の第2具体例の回路図



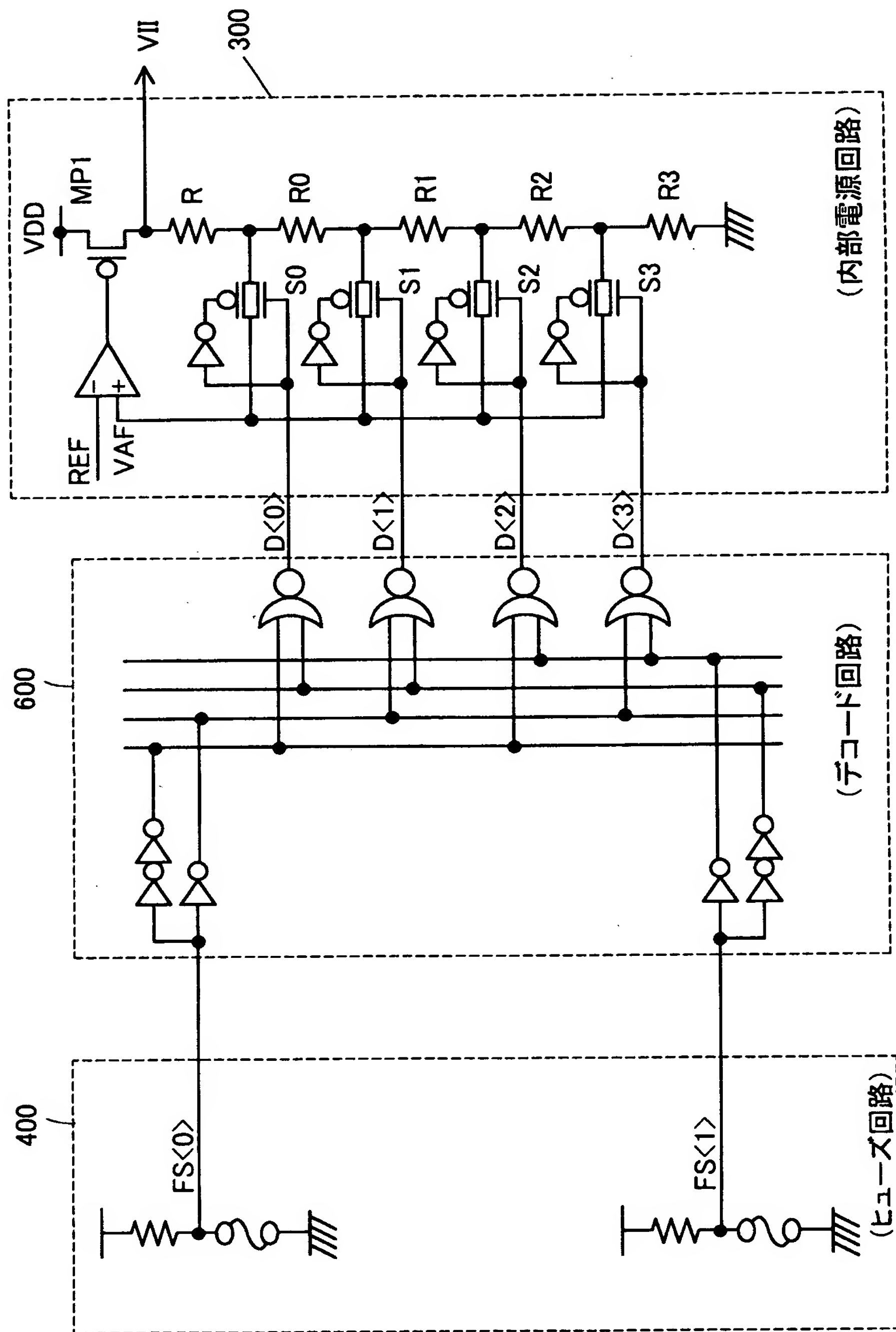
【図 1 6】

複数判定の場合



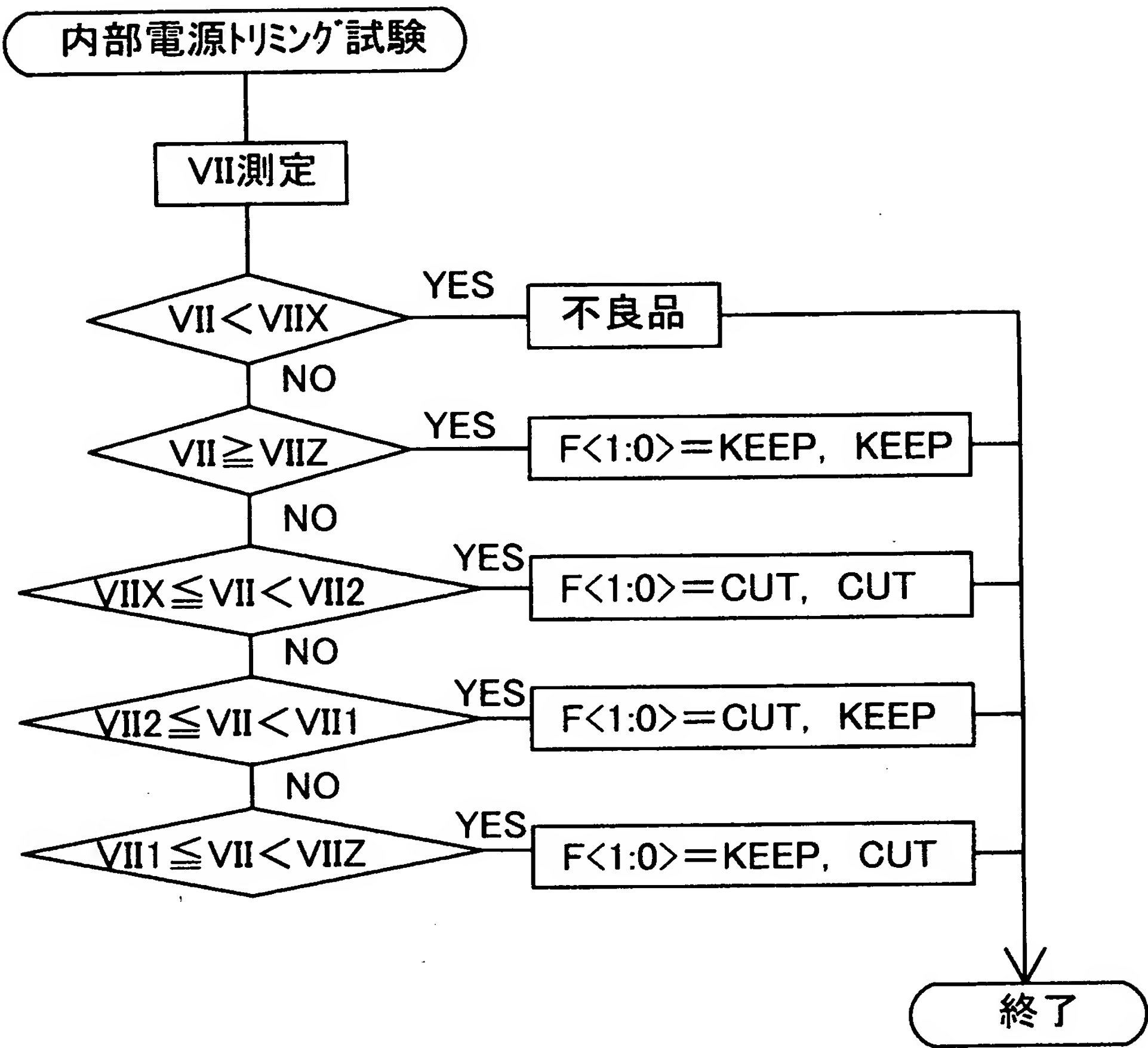
【図 1 7】

従来技術の回路図



【図 1 8】

従来技術のトリミング試験フロー



【書類名】 要約書

【要約】

【課題】 内蔵のアナログ信号発生部から出力されるアナログ信号を、アナログ値として外部に出力することなく調整することができる半導体集積回路装置、および半導体集積回路装置の調整方法を提供すること

【解決手段】 調整信号 A D が入力されるアナログ信号発生部 3 からはアナログ信号 A O U T が出力される。アナログ信号 A O U T は判定部 1 に入力されて所定値と比較判定され判定信号 J G が出力される。判定信号 J G は内部信号として所定信号記憶部 4 に作用して、調整信号 A D が所定信号記憶部 4 に取り込まれる。または、判定信号 J G がデジタル信号として外部端子 T 2 を介して出力され、外部のテスト装置が調整信号を取得すると共に、取得した調整信号を所定信号記憶部 4 に格納する。アナログ信号を、アナログ値として外部に出力することなく調整を行なうことができ、簡略なテスト装置及び試験方法での確、迅速に調整試験を行なうことができる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 2 3]

1. 変更年月日 1 9 9 6 年 3 月 2 6 日
[変更理由] 住所変更
住 所 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号
氏 名 富士通株式会社